


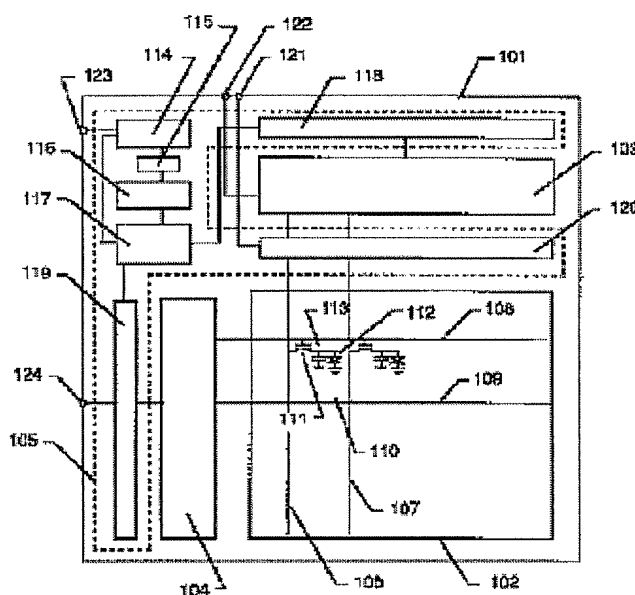
ACTIVE MATRIX DISPLAY**Publication number:** JP10197897**Publication date:** 1998-07-31**Inventor:** YAMAZAKI SHUNPEI; KOYAMA JUN; OTANI HISASHI**Applicant:** SEMICONDUCTOR ENERGY LAB**Classification:**

- international: G02F1/136; G02F1/133; G02F1/1368; G09G3/36; H01L21/84;
G09G5/18; G02F1/13; G09G3/36; H01L21/70; G09G5/18;
(IPC1-7): G02F1/136; G02F1/133

- European: G09G3/36C8; H01L21/84

Application number: JP19960358974 19961227**Priority number(s):** JP19960358974 19961227**Also published as:** US6147667 (A)**Report a data error here****Abstract of JP10197897**

PROBLEM TO BE SOLVED: To realize an active matrix display low in power consumption and having multifunction by providing a structure aggregated with plural rod-like or flat rod-like crystals grown in nearly parallel to each other with directionality to plural TFT silicon thin films constituting a pixel matrix circuit, a driver circuit and a logic circuit. **SOLUTION:** This display is constituted by arranging a pixel matrix circuit 102 including plural source lines, gate lines and plural TFTs, a driver circuit including a source line driver circuit 103 and a gate driver circuit 104 and a logic circuit 105 for processing a signal required for driving the driver circuit and the signal containing image information transmitted to a pixel matrix part on the same board 101. Then, the pixel matrix circuit 102, driver circuit and logic circuit 105 are constituted of plural TFTs by a crystal silicon thin film. At this time, the silicon thin film is provided with the crystal structure aggregated with plural rod-like or flat rod-like crystals grown in nearly parallel to each other with the directionality.

Data supplied from the **esp@cenet** database - Worldwide

Family list

5 family members for: **JP10197897**

Derived from 5 applications

[Back to JP1](#)

- 1 ACTIVE MATRIX DISPLAY**
Inventor: YAMAZAKI SHUNPEI; KOYAMA JUN; (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: G09G3/36C8; H01L21/84 **IPC:** G02F1/136; G02F1/133; G02F1/1368 (+9)
Publication info: **JP10197897 A** - 1998-07-31
- 2 Semiconductor device**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: G09G3/36C8; H01L21/84 **IPC:** G02F1/136; G02F1/133; G02F1/1368 (+8)
Publication info: **US6147667 A** - 2000-11-14
- 3 Semiconductor device**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)
EC: H01L21/77T; G09G3/36C8 **IPC:** G09G3/36; H01L21/84; G09G5/18 (+4)
Publication info: **US6271818 B1** - 2001-08-07
- 4 Semiconductor device**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB A JAP (US)
EC: H01L21/77T; G09G3/36C8 **IPC:** G09G3/36; H01L21/84; G09G5/18 (+4)
Publication info: **US2002011983 A1** - 2002-01-31
- 5 SEMICONDUCTOR DEVICE**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L29/76; H01L29/66
Publication info: **US2007034876 A1** - 2007-02-15

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-197897

(43) 公開日 平成10年(1998) 7 月31日

(51) Int.Cl.⁶

識別記号

F I

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

1/133

5 5 0

1/133

5 5 0

審査請求 未請求 請求項の数33 F D (全 31 頁)

(21) 出願番号 特願平8-358974

(22) 出願日 平成8年(1996)12月27日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクスディスプレイ

(57) 【要約】

【課題】 多機能性および低消費電力性に優れたアクティブマトリクスディスプレイを実現するための技術を提供する。

【解決手段】 同一基板上に画素マトリクス回路、ドライバ回路およびロジック回路を搭載したシステム化アクティブマトリクスディスプレイを作製する。本発明の T F T は 0.05 ~ 2 G H z の幅広い駆動周波数領域に対応可能な特性を有し、チャネル長とゲイト絶縁膜の膜厚を回路が要求する特性に応じて設計することで高周波駆動用回路と低周波駆動用回路とを同一基板上に形成することを可能としている。

【特許請求の範囲】

【請求項 1】複数のソース線、複数のゲイト線および複数の T F T とを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数の T F T で構成され、

前記シリコン薄膜は、互いに概略平行に、かつ、方向性をもって成長した複数の棒状または偏平棒状結晶が集合してなる結晶構造を有していることを特徴とするアクティブマトリクスディスプレイ。

【請求項 2】複数のソース線、複数のゲイト線および複数の T F T とを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数の T F T で構成され、

前記シリコン薄膜を構成する棒状または偏平棒状結晶の内部は結晶格子が連続的に連なり、キャリアにとって実質的に単結晶と見なせることを特徴とするアクティブマトリクスディスプレイ。

【請求項 3】複数のソース線、複数のゲイト線および複数の T F T とを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数の T F

T で構成され、

前記複数の T F T のサブスレッショルド係数は N チャネル型 T F T および P チャネル型 T F T とともに 60~100mV/decadeであることを特徴とするアクティブマトリクスディスプレイ。

【請求項 4】複数のソース線、複数のゲイト線および複数の T F T とを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数の T F T で構成され、

前記複数の T F T の寸法は、該複数の T F T で構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項 5】複数のソース線、複数のゲイト線および複数の T F T とを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数の T F T で構成され、

前記複数の T F T のチャンネル長および／またはゲイト絶縁膜の膜厚は、該複数の T F T で構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項 6】請求項 4、5 のいずれかにおいて、回路の要求する電気特性とは駆動周波数および動作電圧であることを特徴とするアクティブマトリクスディスプレイ。

【請求項 7】複数のソース線、複数のゲイト線および複数の T F T とを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記

3

画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTの内、必要とする駆動周波数が0.1 GHz以上の回路を構成するTFTのゲイト絶縁膜の膜厚は500 Å以下であり、必要とする動作電圧が10Vを超える回路を構成するTFTのゲイト絶縁膜の膜厚は1000 Å以上であることを特徴とするアクティブマトリクスディスプレイ。

【請求項8】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTには高周波駆動型TFTと高耐圧駆動型TFTとが同時に存在していることを特徴とするアクティブマトリクスディスプレイ。

【請求項9】請求項8において、前記高周波駆動型TFTのゲイト絶縁膜の膜厚は500 Å以下であり、前記高耐圧駆動型TFTのゲイト絶縁膜の膜厚は1000 Å以上であることを特徴とするアクティブマトリクスディスプレイ。

【請求項10】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記画素マトリクス回路、ドライバー回路およびロジック

4

ク回路を構成する複数の回路には駆動周波数および／または動作電圧が異なる少なくとも二種類の回路が含まれることを特徴とするアクティブマトリクスディスプレイ。

【請求項11】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、互いに概略平行に、かつ、方向性をもって成長した複数の棒状または偏平棒状結晶が集合してなる結晶構造を有していることを特徴とするアクティブマトリクスディスプレイ。

【請求項12】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜を構成する棒状または偏平棒状結晶の内部は結晶格子が連続的に連なり、キャリアにとって実質的に単結晶と見なせることを特徴とするアクティブマトリクスディスプレイ。

【請求項13】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

10

20

30

40

50

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTのサブスレッショルド係数はNチャネル型TFTおよびPチャネル型TFTともに60~100mV/decadeであることを特徴とするアクティブマトリクスディスプレイ。

【請求項14】複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTの寸法は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項15】複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTのチャンネル長および／またはゲート絶

縁膜の膜厚は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項16】請求項14、15のいずれかにおいて、回路の要求する電気特性とは駆動周波数および動作電圧であることを特徴とするアクティブマトリクスディスプレイ。

【請求項17】複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTの内、必要とする駆動周波数が0.1 GHz以上の回路を構成するTFTのゲート絶縁膜の膜厚は500 Å以下であり、必要とする動作電圧が10Vを超える回路を構成するTFTのゲート絶縁膜の膜厚は1000 Å以上であることを特徴とするアクティブマトリクスディスプレイ。

30 【請求項18】複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTには高周波駆動型TFTと高耐圧駆動型TFTとが同時に存在していることを特徴とするアクティブマトリクスディスプレイ。

【請求項19】請求項18において、前記高周波駆動型TFTのゲート絶縁膜の膜厚は500 Å以下であり、前記

高耐圧駆動型 T F T のゲイト絶縁膜の膜厚は 1000 Å 以上であることを特徴とするアクティブマトリクスディスプレイ。

【請求項 20】複数のソース線、複数のゲイト線および複数の T F T とを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数の T F T で構成され、

前記画素マトリクス回路、ドライバー回路およびロジック回路を構成する複数の回路には駆動周波数および／または動作電圧が異なる少なくとも二種類の回路が含まれることを特徴とするアクティブマトリクスディスプレイ。

【請求項 21】請求項 2 乃至 5、7、8、10、12 乃至 15、17、18、20 のいずれかにおいて、前記シリコン薄膜は、互いに概略平行に、かつ、方向性をもって成長した複数の棒状または偏平棒状結晶が集合してなる結晶構造を有していることを特徴とするアクティブマトリクスディスプレイ。

【請求項 22】請求項 1 乃至 5、7、8、10、11 乃至 15、17、18、20 のいずれかにおいて、前記複数の T F T を構成する活性層のうち少なくともチャンネル形成領域は、チャンネル長方向と前記シリコン薄膜を構成する棒状または偏平棒状結晶の成長方向とが概略一致し、かつ、チャンネル長方向とチャンネル幅方向とで異方性を有することを特徴とするアクティブマトリクスディスプレイ。

【請求項 23】請求項 1 乃至 5、7、8、10、11 乃至 15、17、18、20 のいずれかにおいて、前記複数の T F T を構成する活性層のうち少なくともチャンネル形成領域は真性または実質的に真性な領域であることを特徴とするアクティブマトリクスディスプレイ。

【請求項 24】請求項 1 乃至 5、7、8、10、11 乃至 15、17、18、20 のいずれかにおいて、前記シリコン薄膜中には結晶化を助長する触媒元素として N i、F e、C o、S n、P d、P b、P t、C u、A u から選ばれた一種または複数種類の元素が含まれ、該触媒元素の濃度は 1×10^{17} atoms/cm³ 以下であることを特徴とするアクティブマトリクスディスプレイ。

【請求項 25】請求項 24 において、前記結晶化を助長する触媒元素は、N i（ニッケル）であることを特徴とするアクティブマトリクスディスプレイ。

【請求項 26】請求項 1 乃至 5、7、8、10、11 乃至 15、17、18、20 のいずれかにおいて、前記シリコン薄膜中には C l、F、B r から選ばれた一種または複数種類の元素が $1 \times 10^{15} \sim 1 \times 10^{20}$ atoms/cm³ の濃度で含まれることを特徴とするアクティブマトリクスディスプレイ。

10 【請求項 27】請求項 1 乃至 5、7、8、10、11 乃至 15、17、18、20 のいずれかにおいて、前記複数の T F T を構成する活性層とゲイト絶縁膜との界面には C l、F、B r から選ばれた一種または複数種類の元素が高濃度に存在することを特徴とするアクティブマトリクスディスプレイ。

20 【請求項 28】請求項 1 乃至 5、7、8、10、11 乃至 15、17、18、20 のいずれかにおいて、前記画素マトリクス回路はマトリクス状に形成された複数の画素領域で構成され、該画素領域には 2 つ以上の T F T を実質的に直列に接続した構成でなる少なくとも一つの画素 T F T が具備されていることを特徴とするアクティブマトリクスディスプレイ。

30 【請求項 29】請求項 1 乃至 5、7、8、10、11 乃至 15、17、18、20 のいずれかにおいて、前記画素マトリクス回路はマトリクス状に形成された複数の画素領域で構成され、該画素領域に具備される補助容量は接続配線および該接続配線と重畳するブラックマスクとの間に形成されることを特徴とするアクティブマトリクスディスプレイ。

40 【請求項 30】請求項 29 において、前記ブラックマスクは開口部を有する有機性樹脂膜の上に形成されており、前記開口部の底部において前記補助容量が形成されていることを特徴とするアクティブマトリクスディスプレイ。

【請求項 31】請求項 29 において、前記接続線はソース線と同一材料、かつ、同一の層に形成されていることを特徴とするアクティブマトリクスディスプレイ。

50 【請求項 32】請求項 1 乃至 5、7、8、10、11 乃至 15、17、18、20 のいずれかにおいて、前記画素マトリクス回路を構成する複数の T F T の寸法は、前記ドライバー回路またはロジック回路を構成する複数の T F T の内、少なくとも 1 つの T F T の寸法と異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項 33】請求項 1 乃至 5、7、8、10、11 乃至 15、17、18、20 のいずれかにおいて、前記ロジック回路として位相比較器、L P F（ローパスフィルター）、V C O（電圧制御型発振器）、分周器、水平走査用発振器、垂直走査用発振器、D/A コンバータ、I/O ポート、差動アンプ、オペアンプ、コンパレータ、メモリのうち少なくとも 1 つの回路が含まれることを特

微とするアクティブマトリクスディスプレイ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、結晶性を有する薄膜半導体を用いて形成した薄膜トランジスタ（TFT）で構成されるアクティブマトリクスディスプレイ（アクティブマトリクス型の液晶表示装置、EL表示装置、EC表示装置を含む）の構成に関する。また、その様なアクティブマトリクスディスプレイを表示装置として使用する電気光学デバイスに関する。

【0002】

【従来の技術】近年、TFTを用いて同一基板上に画素マトリクス回路と駆動回路とを一体形成する技術が急速に発達してきている。その理由は、日常生活においてアクティブマトリクスディスプレイ（アクティブマトリクスパネルとも呼ぶ）の需要が高まったことにある。

【0003】アクティブマトリクスディスプレイは、マトリクス状に配置された複数の各画素のそれぞれにTFTを配置し、各画素電極（駆動電極）に出入りする電荷をTFTのスイッチング機能により制御するものである。

【0004】その様なアクティブマトリクスディスプレイとしては米国特許第5250931号（Misawa et al.）に開示される内容が知られている。前記した特許では同一基板上に画素マトリクスとドライバー回路（ソース線ドライバー回路とゲート線ドライバー回路）とを形成したアクティブマトリクスパネルおよび応用製品を開示しており、ドライバー回路はシフトレジスタ、サンプルホールド回路、バッファ等で構成されている旨が記載されている。

【0005】前記した特許に示されている様に、従来のアクティブマトリクスディスプレイは同一基板上に画素マトリクスとドライバー回路を構成するに止まるものであった。しかしながら、現在の日常生活においてはアクティブマトリクスディスプレイは様々な応用製品（電気光学デバイス等）に使用され、小型化、高性能化、低消費電力化を求める声益々強くなってきている。

【0006】その様な中で、最近ではアクティブマトリクスディスプレイの小型化、高性能化を図る手段としてSOP（システム・オン・パネル）構想が提案されている。このSOP構想とは従来はアクティブマトリクスディスプレイに外付けされていたロジック回路（表示コントロール回路や演算回路などの信号処理回路）を、TFTでもって同一基板上に搭載する構想である。

【0007】しかしながら、その構想を実現しうるTFTを形成する技術は未だに確立されていない。その理由は、現在利用されているシリコン薄膜（珪素薄膜）を用いたTFTでは、ロジック回路の様な高周波駆動を必要とする電気回路を構成することが困難だからである。

【0008】例えば、現状において900℃前後の加熱処

理を経て形成されるシリコン薄膜（いわゆる高温ポリシリコン膜）や600℃以下の比較的低温で形成されるシリコン薄膜（いわゆる低温ポリシリコン膜）を用いたTFTが発表されているが、これらのシリコン薄膜ではロジック回路を構成しうる高速動作性能を有するTFTの実現は困難である。

【0009】TFTの動作速度の向上はTFTサイズを小さくすることで一応の対処はできるが、チャネル長（またはゲート長）の縮小は短チャネル効果を招き、ドレイン耐圧の低下等の不具合が生じる。従って、従来のシリコン薄膜を用いたTFTの場合、スケーリング則による動作速度の向上にも限界がきており、信頼性の問題からこれ以上動作速度を上げることは困難である。また、シリコン薄膜には結晶粒と結晶粒界（グレインバウンダリ）が不規則に存在し、結晶粒界がTFT特性に大きく影響してバラツキを生じるといった問題もある。

【0010】以上の様に、従来のTFT製造技術では前記した特許に示される様なアクティブマトリクスディスプレイを構成することはできても、さらに高速動作を必要とするロジック回路を内蔵することは困難である。

【0011】また、従来利用していた単結晶シリコン上に形成したIGFET（絶縁ゲート型電界効果トランジスタ）の場合、単結晶の極めて優れた結晶性を利用して、低周波数駆動および高周波駆動のどちらにも対応可能なIGFETを形成することができる。しかしながら、単結晶シリコンウェハー上に形成するIGFETでは、動作速度を高めるためにチャネル長を短くするとすぐに短チャネル効果が顕在化してしまうといった問題がある。

【0012】従って、高周波駆動用のIGFETはチャネルドープ等の特別な処理が必要となるため、製造工程が複雑になるのを避けて高周波駆動用のICチップと低周波駆動用（高耐圧駆動用）のICチップとを別々に使い分けるのが普通である。

【0013】従って、従来の技術では同一基板または同一チップ上に高周波駆動用のロジック回路と低周波駆動用のロジック回路とを混載するのは難しく、その事がSOP構想を実現する上での大きな障害となっている。

【0014】

【発明が解決しようとする課題】本発明は、以上の様な問題点を克服し、同一基板上に高周波駆動用に対応できる回路と低周波駆動（または高耐圧駆動）に対応できる回路とを混載した、低消費電力性および多機能性を有するアクティブマトリクスディスプレイを実現するための技術を提供することを課題とする。また、その様なアクティブマトリクスディスプレイを利用した小型で安価な電気光学デバイスを実現するための技術を提供することを課題とする。

【0015】なお、本明細書中においてアクティブマトリクスディスプレイという言葉はアクティブマトリクス

型表示装置およびその主たる機能を有する構成基板をも含めて用いている。即ち、例えばアクティブマトリクス型液晶表示装置を例にとると、アクティブマトリクスディスプレイという言葉にはアクティブマトリクス型液晶表示装置のみならずアクティブマトリクス基板（TFT）を形成する側の基板）も含まれるものとする。

【0016】

【課題を解決するための手段】本明細書で開示する発明は、複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、を同一基板上に配置して構成されるアクティブマトリクスディスプレイ、或いは、上記画素マトリクス回路、ドライバー回路およびロジック回路を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイに関するものである。

【0017】本発明の構成の一つは、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記シリコン薄膜は、互いに概略平行に、かつ、方向性をもって成長した複数の棒状または偏平棒状結晶が集合してなる結晶構造を有していることを特徴とする。

【0018】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記シリコン薄膜を構成する棒状または偏平棒状結晶の内部は結晶格子が連続的に連なり、キャリアにとって実質的に単結晶と見なせることを特徴とする。

【0019】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記複数のTFTのサブスレッショルド係数はNチャネル型TFTおよびPチャネル型TFTともに60~100mV/decadeであることを特徴とする。

【0020】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記複数のTFTの寸法は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とする。

【0021】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記複数のTFTのチャンネル長（L）および／またはゲート絶縁膜の膜厚（T）は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とする。

【0022】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記複数のTFTの内、必要とする駆動周波数が0.1GHz以上の回路を構成するTFTのゲート絶縁膜の膜厚は500Å以下であり、必要とする動作電圧が10Vを超える回路を構成するTFTのゲート絶縁膜の膜厚は1000Å以上であることを特徴とする。

【0023】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記複数のTFTには高周波駆動型TFTと高耐圧駆動型TFTとが同時に存在していることを特徴とする。

【0024】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記画素マトリクス回路、ドライバー回路およびロジック回路を構成する複数の回路には駆動周波数および／または動作電圧が異なる少なくとも二種類の回路が含まれることを特徴とする。

【0025】以上の構成でなる本発明について、以下に記載する実施例において詳細な説明を行うこととする。

【0026】

【実施例】

【実施例1】図1に示すのは、本発明によるアクティブマトリクスディスプレイのブロック図である。本発明のアクティブマトリクスディスプレイは基板101上に画素マトリクス回路102、ソース線ドライバー回路103、ゲート線ドライバー回路104およびロジック回路105を一体形成して構成される。

【0027】なお、本実施例に示す回路構成は単に一実施例を示すものであり、回路構成をこれに限定するものではない。本発明の要点は、同一基板上にロジック回路105を搭載していることであり、上記画素マトリクス回路102、ソース線ドライバー回路103、ゲート線ドライバー回路104、ロジック回路105といった各種回路の構成は回路設計の必要に応じて決定すれば良い。

【0028】図1において、ソース線ドライバー回路1

03は主としてシフトレジスタ、レベルシフト、バッファ、ラッチ回路等で構成され、ゲート線ドライバ回路104は主としてシフトレジスタ、マルチプレクサ、レベルシフト、バッファ等で構成されている。勿論、シフトレジスタを同一機能を有する回路、例えばカウンタ及びデコーダで代用する構成としても構わない。また、図1はデジタル対応の回路構成を示しているが、アナログ対応ならばソース線ドライバ回路103にはサンプルホールド回路などが含まれる。

【0029】なお、これらソース線ドライバ回路103、ゲート線ドライバ回路104に含まれる各種回路は、Nチャネル型TFTとPチャネル型TFTとを相補的に組み合わせたCMOS構造でなるインバータ回路を基本単位として構成される。勿論、片極性の回路でも良いが、低消費電力の観点からCMOS構造によるスタティック型又はダイナミック型回路が適している。

【0030】また、画素マトリクス回路102は、ソース線ドライバ回路103に接続される複数のソース線106、107及びゲート線ドライバ回路104に接続される複数のゲート線108、109とで囲まれた複数の画素領域110がマトリクス状に配置されて構成される。そして、複数の画素領域110は画素TFT111、液晶セル112、補助容量113を含んで構成されている。なお、図示されていないが、液晶セル112は画素電極および対向電極とその間に挟持された液晶とで構成される。

【0031】次に、ロジック回路105は、ソース線ドライバ回路103及びゲート線ドライバ回路104を駆動するためのスタートパルスやクロック信号等の処理、画素マトリクス回路102に画像を表示させるためのビデオ信号の処理等の様に、画像表示を行うに必要な信号処理を行うために必要な回路全般を指す。

【0032】図1に示す実施例においてロジック回路105は、位相比較器114、LPF (Low Pass Filter) 115、VCO (電圧制御型発振器) 116、分周器117、ソース線ドライバ用 (水平走査用) 発振器118、ゲート線ドライバ用 (垂直走査用) 発振器119、D/Aコンバータ (デジタル・アナログ変換器) 120を含んで構成される。

【0033】なお、本発明者らはここで図示されない他のロジック回路、例えばイメージセンサやCCDから送られてくる信号の入出力を行うI/Oポート、アンプ系回路 (差動アンプ、オペアンプ、コンパレータ等)、A/Dコンバータ、データを格納するメモリ (RAMやROM)、究極的には演算回路までもモノシリックに搭載し、CPU (中央演算処理装置) としての機能を備えたシステムディスプレイをも実現しようと考えている。

【0034】また、121はデジタル階調信号に応じたアナログ信号の入力端子、122はデジタル階調信号を選択するためのビット信号の入力端子、123は水平走

査用同期信号の入力端子、124は垂直走査用同期信号の入力端子である。勿論、これらのアナログ信号、ビット信号、同期信号を形成する発振回路をも基板上に組み込んでしまえば入力端子は必要なくなる。

【0035】(本発明で必要とするシリコン薄膜について) ここで、図1に示す様なアクティブマトリクスディスプレイを実現するにあたって最も重要な要素について説明する。従来例で説明した様に、従来のシリコン薄膜では高周波駆動対応の回路と低周波駆動 (高耐圧駆動) 対応の回路を同一基板上に混載するのは困難である。従って、図1に示す様なアクティブマトリクスディスプレイを構成するためには、幅広い周波数領域に対応できるTFTを実現する様なシリコン薄膜を形成しなければならない。

【0036】本発明は、以下に説明する全く新しいシリコン薄膜を活性層としたTFTによって、図1に示す様な構成のアクティブマトリクスディスプレイを実現可能なものとしている。この全く新しいシリコン薄膜は本発明者らが発明した材料であって、この材料を用いるTFTは活性層およびゲート絶縁膜の形成方法および活性層を構成するシリコン薄膜の構造に特異な特徴が見られる。ここではまず、ゲート絶縁膜を形成するまでの工程について図2を用いて説明する。

【0037】まず絶縁表面を有する基板201を用意する。本実施例では石英基板を用いるが、その上に下地膜として酸化珪素膜等を成膜した基板を用いても良い。ただし、本発明で利用するシリコン薄膜を形成するには700~1100℃の加熱処理が必要となるため、基板201はその温度範囲に耐えうる耐熱性を有していなければならない。

【0038】次に、非晶質シリコン膜 (アモルファスシリコン膜) 202を100~750 Å (好ましくは150~450 Å) の厚さにプラズマCVD法、スパッタ法、減圧熱CVD法によって成膜する。なお、後の熱酸化工程による膜減りを計算にいて最終的に必要とする膜厚よりも厚く成膜しておく。また、成膜ガスとしてシラン系ガス (SiH₄、Si₂H₆、Si₃H₈等) を用いる減圧熱CVD法によると、後の結晶化工程において自然核発生率による弊害が少ないので好ましい。

【0039】非晶質シリコン膜202を成膜したら、次に非晶質シリコン膜202を結晶化させて結晶シリコン膜 (ポリシリコン膜) を得る。結晶化手段としては特開平7-130652号公報記載の技術を利用する。同公報記載の技術は、非晶質シリコン膜に対して触媒元素 (代表的にはNi) を添加して結晶化を助長するものである。

【0040】なお、同公報では非晶質シリコン膜の全面に触媒元素を添加する手段と、選択的に添加する手段とを開示しており、基本的にはどちらを用いることも可能だが、後者を利用の方が結晶の成長方向の制御性に優れるので望ましい。従って、本実施例では後者を利用し

た場合について説明する。

【0041】まず、非晶質シリコン膜202を成膜したら、Ni（ニッケル）を選択的に添加するための酸化珪素膜でなるマスク203を形成する。酸化珪素膜でなるマスク203にはパターンニングによって開口部204が複数設けられており、開口部204の一辺は少なくとも10 μ m以上の幅を有することが好ましい。これ以下では後の触媒元素を含む溶液を塗布する工程において表面張力により開口部の内部にまで溶液が到達しない恐れが生じる。ここでは図2（A）において、開口部204は幅は10～20 μ mとし、その長さは紙面と垂直な方向に向かって数十～数百 μ mの長さとする事ができる。

【0042】次に、酸素雰囲気中においてUV光を照射し、非晶質シリコン膜202の露出表面に極薄い酸化膜（図示せず）を形成する。この酸化膜は、後に結晶化を助長するニッケルを導入する際の溶液塗布工程で溶液の濡れ性を改善するためのものである。なお、結晶化を助長する触媒元素としては、Ni以外にもFe、Co、Sn、Pd、Pb、Pt、Cu、Au等の元素を用いることができる。

【0043】次に、所定の濃度（本実施例では重量換算で100ppm）でニッケルを含有したニッケル硝酸塩（またはニッケル酢酸塩）溶液を滴下し、スピコート法によりニッケルを含有した薄い水膜205を形成する。非晶質シリコン膜202中に添加するニッケル濃度は溶液塗布工程においてニッケル塩溶液の濃度を調節することで容易に制御することができる。（図2（B））

【0044】次に、不活性雰囲気または水素を含む雰囲気中において500～700℃、代表的には550～650℃の温度で4～8時間の加熱処理を加えて非晶質シリコン膜202の結晶化を行う。結晶化は膜中のニッケルが核となって進行すると考えられる。（図2（C））

【0045】非晶質シリコン膜202の結晶化はニッケルを添加した開口部204から優先的に進行し、開口部204の下には第1の結晶領域206が形成される。また、ニッケルの拡散によりマスク203の下には、基板201と概略平行に成長した棒状または扁平棒状結晶で構成される第2の結晶領域207が形成される。208は互いに逆方向から成長してきた第2の結晶領域207が衝突して形成された粒界である。

【0046】本発明ではこの第2の結晶領域のみを結晶シリコン膜として利用する。即ち、開口部204の配置によって非晶質シリコン膜202の結晶化領域（第2の結晶領域207）、衝突による粒界208等の位置を制御できるため、従来のポリシリコン膜の様に結晶粒界がTFT特性に影響する様なことがない。

【0047】次に、酸化珪素膜でなるマスク203を除去した後、得られた結晶シリコン膜207をパターンニングによって島状に加工して図2（D）に示す様な複数の活性層209を形成する。

【0048】結晶シリコン膜でなる活性層209を形成したら、活性層209上に酸化珪素膜でなるゲイト絶縁膜210を成膜する。ゲイト絶縁膜210の成膜方法は、プラズマCVD法、熱CVD法、スパッタ法等の気相法を用いれば良い。また、酸化珪素膜の代わりに窒化珪素膜や酸化窒化珪素膜を用いたり、それらの絶縁膜を積層して用いても構わない。

【0049】このゲイト絶縁膜210の膜厚はTFTを利用する目的（使用する回路等）に応じて、即ち必要とする特性に応じて決定すれば良い。なお、最終的に必要とするゲイト絶縁膜の厚さが500Å以下となる場合、ゲイト絶縁膜210を成膜しないでおき、後の熱酸化工程で得られる熱酸化膜のみをゲイト絶縁膜として利用することもできる。

【0050】次に、ハロゲン元素を含む雰囲気において加熱処理を行う。この加熱処理はハロゲン元素による金属元素のゲッタリング効果を利用して、活性層209中の金属元素（特にニッケル）を除去することを第1に狙った触媒元素のゲッタリングプロセスである。

【0051】このゲッタリングのための加熱処理は、その効果を得るために700℃を越える温度で行なうことが好ましい。それ以下の温度ではゲイト絶縁膜210がブロッキング層となって十分なゲッタリング効果を得られない恐れがある。

【0052】そのため、この加熱処理は700℃を超える温度で行い、好ましくは800～1000℃（代表的には950℃）とし、処理時間は0.1～6時間、代表的には0.5～1時間とすると十分なゲッタリング効果を得ることができる。

【0053】なお、ここでは酸素（O₂）雰囲気中に対して塩化水素（HCl）を0.5～10体積%（本実施例では3体積%）の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行う例を示す。HCl濃度を上記濃度以上とすると、活性層209の表面に膜厚と同程度の凹凸が生じてしまうため好ましくない。

【0054】また、上述の酸化性雰囲気中に高濃度の窒素（N₂）を混ぜた雰囲気とすることで結晶シリコン膜の酸化速度を低下させることができる。熱酸化反応を必要以上に進ませずにゲッタリング時間を増やす場合に有効な手段である。

【0055】また、ハロゲン元素を含む化合物としてHClガスを用いる例を示したが、それ以外のガスとして、代表的にはHF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。また、一般にハロゲンの水素化物または有機物（炭水素化物）を用いることもできる。

【0056】この工程においては活性層209中に添加されたニッケルがハロゲン元素（ここでは塩素）の作用によりゲッタリングされ、揮発性の塩化ニッケルとなっ

て大気中へ離脱して除去されると考えられる。そのため、活性層 211 中のニッケルの濃度は $1 \times 10^{17} \text{atoms/cm}^3$ 以下にまで低減される。なお、本明細書における不純物濃度は SIMS 分析で得られた計測値の最小値で定義される。

【0057】従って、図 2 (E) に示すハロゲン元素を含む雰囲気における加熱処理によって活性層 211 中のニッケルはデバイス特性に影響を与えない程度 ($1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは活性層中のスピン密度以下) にまで低減され、極めてトラップ密度の小さい活性層を得ることができる。

【0058】また、ゲッターリング工程を行なった場合、活性層 209 中にはゲッターリング処理に使用したハロゲン元素が $1 \times 10^{15} \sim 1 \times 10^{20} \text{atoms/cm}^3$ の濃度で残存する。その際、活性層 209 と加熱処理によって形成される熱酸化膜との間に高濃度に分布する傾向が SIMS 分析によって確かめられている。

【0059】以上の様な工程で得られた活性層 211 は特異な結晶構造体となった結晶シリコン膜で構成されている。ここで上記工程に従って形成した結晶シリコン膜を 25 万倍に拡大した TEM 写真を図 3 に示す。図 3 に示す様に、上記工程で得られる結晶シリコン膜は以下に示す様な特徴を有している。

(1) 結晶格子の構造がほぼ特定方向に連続的に連なっている。

(2) 細い棒状 (または柱状) 結晶或いは細い偏平棒状結晶に成長している。

(3) 複数の棒状または偏平棒状結晶は互いに平行またはほぼ平行に、かつ、方向性をもって成長している。

【0060】図 3 に示す写真を見ると、例えば左下から右上への斜め方向に $0.15 \mu\text{m}$ 程度の幅の細い棒状結晶が延びており、両幅端縁には明確な境界 (結晶粒界) が確認できる (写真に見られる線状等の濃淡は結晶面の向きの違いによる)。また、複数の棒状結晶が互いに概略平行な方向に結晶成長していることから、複数の結晶粒界もほぼ平行に延びていることが確認できる。この結晶粒界はキャリア (電子または正孔) にとってエネルギー障壁となるため、キャリアは優先的に棒状結晶の内部のみを移動すると考えられる。

【0061】なお、活性層 211 は上記ハロゲン元素を含む 700°C を超える温度での加熱処理によって著しく結晶性が改善され、かつ、金属元素が問題とならない程度までゲッターリング除去されている。そのため、棒状結晶の内部は結晶格子が連続的に連なり、キャリアにとって実質的に単結晶と見なせる領域となっていると考えられる。

【0062】また、結晶格子が連続的に連なるとは棒状結晶の内部に実質的に結晶粒界が存在していない、又は存在するにしても電氣的に不活性である状態を指す。本発明者らは、活性層 211 を利用した TFT の電気特性

(後述する) の結果から、結晶粒界が存在しているにしても {111} 双晶粒界、{111} 積層欠陥、{221} 双晶粒界などの電氣的に不活性な粒界の可能性が高いと推察している。

【0063】また、上記加熱処理により活性層 211 とゲイト絶縁膜 210 の界面では熱酸化反応が進行し、形成された熱酸化膜 212 の分だけゲイト絶縁膜 210 の全膜厚は増加する。そのため、熱酸化膜の形成分に比例して活性層 211 は薄膜化される。活性層の薄膜化は TFT のオフ電流の低減、電界効果移動度の向上などの効果を促進する。さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で 950°C 1 時間程度の加熱処理を行なうことで、ゲイト絶縁膜 210 の膜質の向上と共に、極めて良好な半導体/絶縁膜界面が実現される。

【0064】(本発明で必要とする TFT について) 以上の様な活性層 211 を利用して TFT を作製すると、図 4 に示す様な電気特性が得られる (TFT の作製工程については後の実施例に譲る)。図 4 に示すのは横軸にゲイト電圧 (V_g)、縦軸にドレイン電圧 (I_d) の対数をとってプロットした N チャネル型 TFT の I_d - V_g 曲線 (I_d - V_g 特性) である。

【0065】図 4 において、401 は上記工程で得られた活性層を利用した TFT の電気特性であり、402 は従来の TFT の電気特性を示している。具体的には 402 は上記工程からハロゲン元素を含む雰囲気における加熱処理とその後の窒素アニールを削除したプロセスで作製された TFT の電気特性である。

【0066】両方のトランジスタ特性を比較すると、まず同じゲイト電圧でも 401 で示される特性の方が 2~4 桁近く大きいオン電流が流れることが確認できる。なお、オン電流とは TFT がオン状態 (図 4 においてゲイト電圧が約 $0 \sim 5 \text{V}$ の範囲) にある時に流れるドレイン電流のことを指す。

【0067】また、401 で示される特性の方が優れたサブスレッショルド特性を有していることも確認できる。サブスレッショルド特性とは TFT のスイッチング動作の急峻性を示すパラメータであり、TFT がオフ状態からオン状態にスイッチングする際の I_d - V_g 曲線の立ち上がりが急峻である程、サブスレッショルド特性は良いと言える。

【0068】なお、代表的な電気測定データで本発明の TFT と従来の TFT とを比較すると、次のことが確認できる。

(1) 402 で示される特性のサブスレッショルド係数が 350mV/decade 前後であるのに対し、401 で示される特性のサブスレッショルド係数は 80mV/decade 前後と小さい。この値が小さい TFT ほどスイッチング性能に優れる。

(2) 電界効果移動度は 402 で示される特性で $80 \text{cm}^2/\text{Vs}$

Vs前後であるのに対し、401で示される特性では $250\text{cm}^2/\text{Vs}$ 前後と大きい。電界効果移動度が大きいTFETほど動作速度が速い、即ち高周波駆動が可能である。

【0069】以上の様に、本発明のTFETは極めて優れたスイッチング特性および高速動作特性を有しており、図1に示す様なロジック回路105を形成するに足る高速動作が可能である。即ち、高周波駆動回路と低周波駆動回路とをシステム化した図1に示す様なアクティブマトリクスディスプレイを実現するためには、幅広い駆動周波数領域に対応できる本発明のTFETが必要である。

【0070】また、上述の様なTFETはNチャネル型TFETとPチャネル型TFETとで電気特性の差が非常に小さい特徴がある。例えば、本発明者らが実際に試作して測定した結果によると、しきい値電圧はN型で $-0.5\sim-1.5\text{V}$ 、P型で $-1.5\sim-0.5\text{V}$ が得られている。また、サブスレッショルド係数(S値)はN型、P型共に $60\sim100\text{mV/decade}$ (代表的には $60\sim85\text{mV/decade}$)が得られている。また、電界効果移動度(μ_{FE})はN型で平均して $200\sim250\text{cm}^2/\text{Vs}$ 、P型で $150\sim200\text{cm}^2/\text{Vs}$ の値が得られている。

【0071】この様に、本発明者らが発明した上述のTFETはNチャネル型TFETとPチャネル型TFETとでほぼ同等の性能を有しており、CMOS構造を構成しても動作性能の偏りによる誤動作の発生や動作速度の低下を招くことはない。即ち、極めて高いTFET特性をそのまま活用することができる。

【0072】この点に関して、本発明者が本発明のTFETを利用して試作した9段のリングオシレータの測定結果によると、電源電圧 3.3V で約 450MHz 、 5.0V で約 540MHz の発振周波数を記録している。これらの値は、リファレンスとした従来のTFETで構成したリングオシレータと比較して20~30倍の高速動作が実現されていることを意味している。

【0073】ここで本発明のTFETにおいて注目すべき点がある。従来例ではTFETの動作速度を上げるためにチャネル長を短くすると、短チャネル効果によってTFET特性が劣化することを述べた。しかしながら、上述の本発明のTFETはチャネル長が $2\mu\text{m}$ と短いにも拘わらず、極めて高い動作速度と高いドレイン耐圧とを有し、加速試験による評価で信頼性の高いTFETであることが確認されている。

【0074】本発明者らはその理由として、特異な結晶構造体である本発明のシリコン薄膜がその構造上の理由から短チャネル効果を効果的に抑制していると推察した。なお、短チャネル効果とはチャネル長の減少に伴って生じるしきい値電圧の低下、ドレイン耐圧の劣化、サブスレッショルド特性の劣化などの総称であり、基本的にはドレイン領域側の空乏層がソース領域にまで広がることで生じるパンチスルー現象に起因する。短チャネル効果に関する詳細は「VLSIデバイスの物理；小柳光

正他；丸善；1986」を参考にとすると良い。

【0075】ここで本発明のTFETの活性層付近を上面から見た図を図5(A)に示す。図5(A)において501は活性層、502はゲイト電極であり、活性層501は複数の棒状結晶503、結晶粒界504を含んで構成される。また、活性層501はソース領域/チャネル形成領域/ドレイン領域の構成で機能する。

【0076】また、505で示される矢印はキャリアの移動する方向(結晶粒界504と概略平行な方向)を示し、チャネル長方向と定義する。また、506で示される矢印はチャネル長方向に垂直な方向(結晶粒界504に対して概略直交する方向)であり、チャネル幅方向と定義する。さらに、507をチャネル長(L)、508をチャネル幅(W)として定義する。なお、チャネル長507はゲイト電極502の線幅にほぼ一致するが、ゲイト電極502の表面に陽極酸化膜が形成されている場合の様に、実質的に電極として機能しない領域がある場合は必ずしも一致しない。

【0077】本発明者らは、本発明によるTFETのドレイン耐圧が高い理由として図5(A)の結晶粒界504の影響を重視した。即ち、本発明者らはチャネル形成領域においてチャネル長方向505とほぼ平行に存在する結晶粒界504によるエネルギー障壁がドレイン領域からの空乏層の広がりを効果的に抑制し、パンチスルー現象の発生を防止していると推測した。

【0078】その様子を図5(B)に簡略化して示す。図5(B)は図5(A)をチャネル長方向に切断した断面図を示している。図5(B)において、509はソース領域、510はドレイン領域、511はチャネル形成領域、512がゲイト絶縁膜であり、513は空乏層を示している。本発明者らの推測によれば、513で示される空乏層は結晶粒界504に起因するエネルギー障壁によって棒状結晶503内部への進行を抑止され、チャネル形成領域511の内部(514で示される領域)へと侵入することができないと考えられる。

【0079】即ち、従来のシリコン薄膜を用いたTFETならば短チャネル効果の影響が顕在化する様な状態、即ちチャネル長507が極めて小さいサブミクロン($0.01\sim2\mu\text{m}$)領域においても、図5(B)に示す様に空乏層の広がりを抑制することができるので短チャネル効果を効果的に抑制できると考えられる。

【0080】また、図5(C)は図5(A)をチャネル幅方向に切断した断面図を示している。図5(C)に示す様に、活性層501は複数の棒状結晶503が並んだ状態で構成されており、真性または実質的に真性の棒状結晶503が複数集合することでチャネル形成領域が形成されている。即ち、複数の棒状結晶503の各々は結晶粒幅d(515で示される)を有した微小なチャネル形成領域であると思なせる。そのため、各々の棒状結晶503において、狭チャネル効果が生じると本発明者ら

は推察している。

【0081】ところで、狭チャネル効果とはチャネル幅が狭くなった時にTFTのしきい値電圧が増加する現象であり、本発明のシリコン薄膜では細い棒状結晶の各々において生じた狭チャネル効果によって、短チャネル効果によるしきい値電圧の低下が相殺されていると考えられる。

【0082】この狭チャネル効果はチャネル形成領域の端部にエネルギー障壁の高い領域が存在することでしきい値電圧が全体的に増加してしまうものであり、薄膜の場合には基板に対して水平な方向と垂直な方向の2方向で生じると考えられる。そのため、実際のキャリアはエネルギー障壁の低い領域を優先的に移動する。

【0083】また、キャリアの移動に関して、本発明のシリコン薄膜は結晶粒界504と平行に移動するキャリアと垂直に移動するキャリアとでその挙動が異なる、即ち異方性を有するという特徴がある。例えば、キャリアが移動する方向とチャネル長方向505とが概略一致することはTFTの電界効果移動度を向上させる上で非常に有効である。その理由として次のことが考えられる。

【0084】TFTの電界効果移動度はシリコン膜中におけるキャリアの散乱によって決まるが、大別して格子散乱と不純物散乱とがある。この時、日常生活で用いる温度範囲では特に不純物散乱の影響が支配的となる。本発明はこれに対して以下の利点を有している。

(1) キャリアが移動する柱状結晶の内部は実質的に単結晶と見なせる領域であり、かつ、真性または実質的に真性であるので、キャリアの移動を阻害する不純物は存在しないと考えて良い。

(2) 図5(A)に示す様な状態において、結晶粒界504がエネルギー的な障壁となってキャリアの移動する方向を棒状結晶503の延在する方向とほぼ同一方向に規定するので、キャリア同士の衝突による散乱の確率が低減される。

【0085】また、(1)において、真性または実質的に真性であるとは以下の条件のうち、少なくとも一つを満たすことを意味している。

- ① シリコン膜の活性化エネルギーがほぼ1/2 (フェルミレベルが禁制体のほぼ中央に位置する) である。
- ② スピン密度よりも不純物濃度が低い領域である。
- ③ 意図的に不純物を添加していないアンドープな領域である。
- ④ intrinsic (イントリンシック) な領域である。

【0086】例えば、従来のシリコン薄膜を用いたTFTは短チャネル効果の抑制手段としてはチャネルドープが一般的であるが、この手段ではチャネル形成領域における不純物濃度が増加してキャリアの移動が阻害され、TFTの動作速度(電界効果移動度)が悪化してしまう。ところが、前述の様に本発明のTFTはシリコン薄膜自体に短チャネル効果を抑制する効果があるため、真

性または実質的に真性なチャネル形成領域を形成することが可能なのである。

【0087】また、逆に結晶粒界504がキャリアの移動を阻害するエネルギー障壁となるので、これと直交する方向(チャネル幅方向)に移動するキャリアの移動度は極めて小さいものになってしまう。

【0088】また、前述の様にドレイン側空乏層の広がりを抑制することで短チャネル効果を防止することが可能と考えられるが、短チャネル効果を防止することでドレイン耐圧の向上と共にサブスレッショルド特性の向上も望める。サブスレッショルド特性の向上は、本構成を用いることでドレイン側空乏層の占める体積を減じることができるという推論から以下の様に説明できる。

【0089】本発明者らの推察によれば、図5(B))に示した様に効果的に空乏層の広がりが抑制されることでドレイン側空乏層の占める体積を大幅に減じることができる。従って、総合的な空乏層電荷を小さくできるため、空乏層容量を小さくできると考えられる。ここで、サブスレッショルド係数Sを導出する式は次の近似式で表される。

【0090】

【数1】

$$S \cong \ln 10 \cdot kT/q [1 + (C_d + C_{it})/C_{ox}]$$

【0091】数1において、kはボルツマン定数、Tは絶対温度、qは電荷量、C_dは空乏層容量、C_{it}は界面準位の等価容量、C_{ox}はゲイト酸化膜容量である。従って、本構成では空乏層容量C_dおよび界面準位の等価容量C_{it}を極力小さくすることでC_d = C_{it} = 0となる理想状態、即ちS値が60mV/decadeとなるTFTを実現するのである。

【0092】以上は本発明者らが実際に得た特異な結晶構造体であるシリコン薄膜と、それを用いて実際に試作したTFTの電気特性を結びつけた推察に他ならない。しかしながら、実験データは事実であり、従来のシリコン薄膜を用いたTFTとはまるで異なる優れた性能を有することは先にも述べたとおりである。

【0093】そして、本実施例で示す様な電気特性および効果を有するTFTだからこそ高周波駆動にも低周波駆動にも対応しうる回路を、従来のチャネルドープの様な特別な工夫を要することなく同一基板上に構成することが可能となる。即ち、本実施例に示したシリコン薄膜を得ることで、図1に示す様なアクティブマトリクスディスプレイを構成することが可能となったのである。

【0094】〔実施例2〕本実施例では図1に示すアクティブマトリクスディスプレイにおけるソース線ドライバー回路103、ゲイト線ドライバー回路104、ロジック回路105を構成するための基本構造となるCMOS構造の断面図を図6(A)に、画素マトリクス回路102を構成する画素TFT111及び画素領域110の断

面図を図6（B）に示す。なお、本実施例で示す構造は一実施例に過ぎず、本発明を限定するものではない。

【0095】まず、Nチャネル型TFT601とPチャネル型TFT602とを相補的に組み合わせたCMOS構造のついて説明する。なお、Nチャネル型TFT601とPチャネル型TFT602とは基本的には同一構造である。

【0096】図6（A）において、603は石英基板、604、606はそれぞれNチャネル型TFTのソース領域およびドレイン領域、605、607はそれぞれPチャネル型TFTのソース領域およびドレイン領域である。また、608、609はそれぞれNチャネル型TFTおよびPチャネル型TFTに配置される一対の低濃度不純物領域、610、611はそれぞれNチャネル型TFTおよびPチャネル型TFTのチャネル形成領域である。

【0097】また、612、613はゲイト絶縁膜、614、615はゲイト電極であり、ゲイト電極614、615の上面および側面にはゲイト電極を陽極酸化して得られる緻密な陽極酸化膜616、617が形成されている。

【0098】また、618は第1の層間絶縁膜、619、620はソース線、621はドレイン線であり、その上には第2の層間絶縁膜622、第3の層間絶縁膜623、第4の層間絶縁膜624が形成されている。

【0099】この時、第2の層間絶縁膜622は画素領域において補助容量を構成する絶縁体となるので、窒化珪素膜や酸化珪素膜またはそれらの積層膜で構成することが望ましい。また、第3の層間絶縁膜623および第4の層間絶縁膜624は寄生容量の低減と平坦化効果を狙って、比誘電率が低く容易に平坦化の可能な有機性樹脂材料（例えばポリイミド、アクリルなど）が好ましい。

【0100】次に、図1における画素領域110および画素TFT111の断面構造について図6（B）を用いて説明する。なお、図6（A）のCMOS構造と図6（B）の画素TFT630は同一基板上に一体形成されるため、基本的に同一層は同一材料で形成される。

【0101】また、本実施例では画素TFTとして、1つのゲイト電極で構成されるNチャネル型TFTを実質的に直列に3つ接続した構成を有するトリプルゲイト型TFTを採用した場合の例を示す。

【0102】図6（B）において、631は石英基板、632はソース領域、633はドレイン領域、634～636はチャネル形成領域である。なお、チャネル形成領域634～636の各両端には一対の低濃度不純物領域637が配置されるが、活性層の基本構造は図6

（A）に示したシングルゲイト型TFTも図6（B）に示したトリプルゲイト型TFTも同じであるので詳細な説明は省略する。勿論、図6（B）に示される活性層

は、図6（A）のNチャネル型TFTの活性層と同時に形成される。

【0103】次に、638～640で示されるのはゲイト絶縁膜であり、図6（A）におけるゲイト絶縁膜612、613と同時に形成される。また、641はゲイト電極、642はゲイト電極を陽極酸化して形成される緻密な陽極酸化膜であり、ゲイト電極641は3つある様に見えるが、実際には全て同一配線である。また、ゲイト電極641、陽極酸化膜642は、それぞれ図6

（A）におけるゲイト電極614、615、陽極酸化膜616、617と同時に形成される。

【0104】次に、643は第1の層間絶縁膜、644はソース線、645は接続配線、646はソース線644と隣接する別のソース線である。ソース線644、646、接続配線645は、図6（A）におけるソース線619、620、ドレイン線621と同一の層で構成される。本実施例の構成では、図6（B）に示す様に接続配線651を長めに形成しておき、後に形成される補助容量の面積を稼ぐ（容量を稼ぐ）様にする。

【0105】また、647は第2の層間絶縁膜、648は第3の層間絶縁膜であり、それぞれ図6（A）における第2の層間絶縁膜622、第3の層間絶縁膜623と同時に形成される層である。また、第3の層間絶縁膜648は649で示される領域において除去され、その上にブラックマスク650が形成される。従って、649で示される領域では、接続配線645と第2の層間絶縁膜647とブラックマスク650との積層構造でなる補助容量651が形成される。

【0106】補助容量651を図6（B）に示す様な構成とすると、補助容量のキャパシタンス（容量）が第2の層間絶縁膜647で決まるので、比誘電率の高い材料を用いること或いは膜厚を薄くすることで容量を稼ぐことができる。例えば、第2の層間絶縁膜647としては比誘電率の高い絶縁膜が好ましい。また、その膜厚は100～300 Åの厚さが適当である。

【0107】ただし、補助容量651を形成するには649で示される領域において第2の層間絶縁膜647のみを残して第3の層間絶縁膜648を除去しなくてはならないので、第2、第3の層間絶縁膜はそれぞれエッチングの選択性が採れなくてはならない。その様な意味で、第2の層間絶縁膜647としては酸化珪素膜または窒化珪素膜と窒化珪素膜との積層膜が有効である。

【0108】次に、ブラックマスク650は第4の層間絶縁膜652で覆われ、その上には画素電極653が形成される。この時、画素電極653は接続配線645を介してドレイン領域633と電気的に接続する。このため、補助容量651は画素電極653に対して直列に接続された容量と見なせる。なお、第4の層間絶縁膜652は図6（A）における第4の層間絶縁膜624と同一層である。

【0109】654で示される基板は対向電極655を成膜した対向基板であって、アクティブマトリクス基板631と対向基板654とを貼り合わせることで液晶層656を挟持し、図1における液晶セル112が形成される。

【0110】次に、図7を用いて画素領域110の上面図を説明する。なお、図7においては画素電極714よりも上の層（液晶層や対向基板等）を図示しないが、基本的にはA-A'で示される点線で切断した断面図が図6（B）に相当する。

【0111】図7において701、702は活性層、703、704はゲイト線、705、706はソース線である。実際には複数本のソース線とゲイト配線とが直交する様に配置され、ソース線とゲイト線とで囲まれた複数のマトリクス状に配置された領域が図1における画素領域110として機能する。また、ゲイト配線704は図6（B）のゲイト電極641に、ソース線705、706はそれぞれ図6（B）のソース線644、646に相当する。

【0112】また、活性層702の上方では3箇所においてゲイト線704が重畳する。即ち、3つの画素TFTを直列に接続したのと同様の構造となるトリプルゲイト型TFTが構成される。勿論、ここでは一例としてトリプルゲイト型TFTの例を示したが、シングルゲイト型TFTであっても構わない。

【0113】また、ゲイト配線705、706を活性層701、702よりも下層に配置して逆スタガ型TFTの様な構造とすることも可能である。その場合、シリコン薄膜の作製過程で行われる図2（E）の様な加熱処理にも耐えうる様に、ゲイト電極としてはポリシリコン膜の様な耐熱性の高い材料を用いるのが好ましい。

【0114】次に、707は活性層702（ソース領域632）とソース線705とのコンタクト部、708は活性層702（ドレイン領域633）と接続配線709とのコンタクト部、710は接続配線709と画素電極711とのコンタクト部である。接続配線709は図6（B）における接続配線645に相当する。

【0115】712の斜線で示される領域は図6（B）において650で示されるブラックマスクであり、活性層701、702、ゲイト配線703、704、ソース線705、706上を遮蔽する様にして形成される。また、ブラックマスク712は713で示される領域（図6（B）における649で示される領域）において接続配線709と重畳し、接続配線709との間に補助容量を形成する。

【0116】また、ブラックマスク712上には第2の層間絶縁膜652を介して画素電極711（図6（B）の画素電極653に相当する）が配置されている。画素電極714はその淵部分が必ずブラックマスク712によって遮光される構成とし、ブラックマスク712と重

畳しない714で示される領域が画像を形成する画像表示領域となる。なお、実際には、画素電極711の上には図6（B）に示す様に対向基板654、対向電極655、液晶層656が配置されて図1に示す液晶セル112を構成する。

【0117】次に、図6（A）に示したCMOS構造及び図6（B）に示した画素領域を同一基板上に形成するための作製工程について、図8、図9を用いて説明する。なお、対応関係を明確にするために図6（A）、図6（B）の説明で用いた符号を必要に応じて使用する。

【0118】まず、石英基板801上に実施例1に示した工程によって本発明のシリコン薄膜でなる活性層802～804および後のゲイト絶縁膜の原型となる第1の絶縁膜805を形成する。この時、802がNチャネル型TFT601の活性層、803がPチャネル型TFT602の活性層、603が画素TFT630の活性層となる。（図8（A））

【0119】以下に記載するゲイト電極の形成からイオン注入に至るまでの工程は本発明者らによる特開平7-135318号公報記載の技術によるものである。従って、詳細な条件等は同公報を参考にとすると良い。

【0120】活性層802～804の上方にアルミニウムを主成分とする材料でなるパターンを形成した後、2度の陽極酸化により多孔質状の陽極酸化膜806～808および緻密な陽極酸化膜616、617、642を形成する。また、陽極酸化工程の後、ゲイト電極614、615、641が画定する。また、前述の様に画素TFT630は図7の様な構成のトリプルゲイト型TFTであるのでゲイト電極641、多孔質状の陽極酸化膜808、緻密な陽極酸化膜642は図示される3つのパターン全てに共通である。

【0121】こうして図8（B）に示す状態が得られたら、ゲイト電極および多孔質状の陽極酸化膜をマスクとして第1の絶縁膜805のドライエッチングを行い、ゲイト絶縁膜612、613、638～640を形成する。

【0122】そして、多孔質状の陽極酸化膜806～808を除去し、高加速Pイオン注入及び低加速Pイオン注入を行う。この工程によってNチャネル型TFT601のソース領域604、ドレイン領域606、低濃度不純物領域（LDD領域と呼ばれる場合もある）608、チャネル形成領域610が形成される。また、画素TFT630（Nチャネル型）のソース領域632、ドレイン領域633、低濃度不純物領域637、チャネル形成領域634～636が形成される。

【0123】なお、この時Pチャネル型TFT602の活性層にもPイオンが添加されて前述のソース領域604、ドレイン領域606と同濃度のPイオンを含んだ領域809、810及び前述の低濃度不純物領域608と同濃度のPイオンを含んだ領域811が形成される。

【0124】次に、Pチャネル型TFT602のみが露出する様にレジストマスク812を設け、高加速Bイオン注入及び低加速Bイオン注入を行う。この工程によって図8(C)におけるPイオンを含んだ領域809～811は全てP型に反転してPチャネル型TFT602のソース領域605、ドレイン領域607、低濃度不純物領域609、チャネル形成領域611が形成される。

(図8(D))

【0125】以上の様なイオン注入工程を利用すると、1回のパターンニング工程のみでNチャネル型TFTの活性層とPチャネル型TFTの活性層とを同一基板上に形成することができる。特に、本実施例では特開平7-135318号公報記載の技術と組み合わせて利用しているので、サイドウォールを形成する様な特殊な工程を必要としないで容易に低濃度不純物領域を形成することができる。

【0126】また、イオン注入工程の後には添加した不純物イオンの活性化及びイオン注入で乱れた活性層の結晶性の修復を行う。活性化手段としてはファーネスアニール、レーザーアニール、ランプアニール等の加熱手段を用いれば良い。

【0127】次に、第1の層間絶縁膜618(または643)として酸化珪素膜を成膜し、コンタクトホールを形成した後、ソース線619、620、644、646及びドレイン線621、接続配線645を形成する。その後、第2の層間絶縁膜622(または647)として500Å厚の窒化珪素膜および250Å厚の酸化珪素膜の順に積層膜を形成する。

【0128】さらに、第3の層間絶縁膜623(または648)としてポリイミドを0.5～3μm(好ましくは1～1.5μm)の厚さに形成する。また、第3の層間絶縁膜623において649で示される領域には補助容量を形成するための開口部を設けておく。開口部の形成はドライエッチング法によって行えば良い。この時、第2の層間絶縁膜622の酸化珪素膜がポリイミドのエッチングストッパーとして機能する。(図9(A))

【0129】次に、ブラックマスク650としてチタン膜を2000Åの厚さに形成し、同時に補助容量651が形成される。さらに、第4の層間絶縁膜624(または652)としてポリイミドを0.5～3μm(好ましくは1～1.5μm)の厚さに成膜する。そして、コンタクトホールを形成した後、透明導電膜でなる画素電極653を形成する。

【0130】この様に、第3の層間絶縁膜623及び第4の層間絶縁膜624を有機性樹脂材料(代表的にはポリイミド、アクリル、ポリアミド、ポリイミドアミド等)で形成することは本発明において重要な要素である。有機性樹脂材料の最も大きな特徴は比誘電率が低い(2.0～3.4程度)ことであり、これにより配線間の寄生容量を大幅に低減することができる。即ち、ロジック回路など高周波駆動を必要とする回路を構成する際に動

作速度の低下を効果的に抑制することができる。

【0131】最後に、得られたTFT全体を水素雰囲気において加熱処理して水素化を行い、活性層中のダングリングボンドの低減を図る。こうして、図9(B)に示す様な、CMOS構造および画素TFTが同一基板上に一体形成されたアクティブマトリクスディスプレイが完成する。なお、完成したTFTを窒化珪素膜等のパッシベーション膜で覆うことはTFTの経時劣化を防ぐ上で有効である。

10 【0132】〔実施例3〕実施例1には図1に示すアクティブマトリクスディスプレイを構成するにあたって本発明者らの発明したシリコン薄膜が必要であることを述べ、実施例2では実際にそのシリコン薄膜を用いたTFTで構成されるCMOS構造および画素TFT構造並びにその作製工程について説明した。

【0133】本実施例では図1に示した様なアクティブマトリクスディスプレイに本発明のTFTを配置する場合を想定して、用途別(回路構成別)に最適な回路特性を得るための構成について説明する。

20 【0134】本実施例の基本的な主旨は、ロジック回路毎に必要なとする駆動能力が異なることを踏まえて、ロジック毎に最適な特性或いは最低限必要な特性が得られる様に回路を構成するTFTの構造を最適化することにある。そのための手段について、図10(A)に示す様なブロック図で示されるVGA(640×480画素)対応のアクティブマトリクス型液晶表示装置を構成した場合を想定して説明する。

【0135】図10(A)において、11は画素マトリクス回路、12は水平走査用発振器、13は水平走査用シフトレジスタ、14はD/Aコンバータ、15は垂直走査用発振器、16は垂直走査用シフトレジスタ、17、18はバッファである。ここではデジタル駆動を念頭においた回路構成としているので、水平走査用シフトレジスタ13にはラッチ回路が含まれる。また、19は位相比較器(ローパスフィルターを含む)、20は電圧制御型発振器、21は分周器、22は演算回路、23はメモリ回路である。また、24は水平・垂直同期信号、25は階調表示のためのアナログ信号、26はアナログ信号25を選択するためのビット信号(デジタル信号)、27は外部から送られる画像信号である。

【0136】なお、図1で示したアクティブマトリクスディスプレイにおいて、ロジック回路105には、図10(A)における水平走査用発振器12、A/Dコンバータ14、垂直走査用発振器15、位相比較器19、電圧制御型発振器20、分周器21、演算回路22、メモリ回路23等の全ての回路が含まれ、必要に応じて適当な配置で形成すれば良い。

【0137】図10(A)に示す様なブロック図において、各機能を有する電気回路(画素マトリクス回路、ドライバ回路およびロジック回路)はその機能によって

異なる性能（特性）が要求される。特に、ロジック回路は従来 ICで行ってきた処理を T F Tで行うことになるため、駆動周波数（その回路を駆動するためのクロック周波数等）は非常に高いものまで要求される。

【0138】駆動周波数は基本的には速ければ速い程良いとも言えるのだが、最大駆動周波数は回路を構成する個々の T F Tの性能が大きく影響するため、実施例 1で説明した様な高速駆動の可能な T F Tを使用することが前提となる。

【0139】例えば、VGAの場合、水平・垂直同期信号 24およびクロック信号は 25MHz程度である。即ち、画像信号を忠実にディスプレイに再現するためには水平走査用シフトレジスタ 13、垂直走査用シフトレジスタ 16を駆動するクロック周波数としては、最低限でも 25MHz、好ましくは 50MHz程度が要求される。そのため、各シフトレジスタ 13、16からソース信号やゲイト信号を受け取る D/Aコンバータ 14、バッファ 17、18、画素マトリクス回路 11も全て 50MHz（0.05GHz）程度の駆動周波数が必要とされる。

【0140】また、各シフトレジスタ 13、16に対して水平・垂直同期信号 24と同期したクロック信号を発振する水平走査用発振器 12、垂直走査用発振器 15は、シフトレジスタ 13、16の数倍の駆動周波数が必要となるため、0.1～0.5GHz程度の高い駆動周波数が必要とされる場合がある。

【0141】さらに、このクロック信号と水平・垂直同期信号 24との位相差を補正して同期させるための機能は、位相比較器 19、電圧制御型発振器 20、分周器 21によって行われる。そのため、位相比較器 19、電圧制御型発振器 20、分周器 21のそれぞれもまた、0.1～0.5GHz程度の駆動周波数が必要となる。

【0142】また、図 10（A）のブロック図に示される様に、演算回路 22において水平・垂直同期信号 24やアナログ信号 25を発振する構成とする場合、演算回路 22には極めて高い駆動周波数（0.2～2GHz）が要求されうる。それと同時に画像信号を一時的に記憶しておくためのメモリ回路 23も、演算回路 22との情報を高速に行うためには 0.2～2GHzもの駆動周波数が必要となる。

【0143】以上の様に、図 10のブロック図で示される様な回路構成を同一基板上に形成するためには、極めて幅広い駆動周波数域に対応できる T F Tを実現しなくてはならない。だが本発明の場合には、個々の T F Tの周波数特性が理論的にチャンネル長 Lの 2乗の逆数に比例して増加することを利用して、チャンネル長の制御によって所望の周波数を得ることができる。

【0144】勿論、チャンネル長を変えるだけで所望の駆動周波数を得られるという特徴は、本発明に用いるシリコン薄膜がその特異な結晶構造によってチャンネルドープ

法を用いずに短チャンネル効果を抑制できるため得られるのである。

【0145】ところで、チャンネル長（L）を小さくすることで周波数特性の向上を図ると、一方で T F Tのドレイン耐圧が問題となる。この問題はドレイン近傍にかかる電界を弱めることで解決できる。この様な場合、高周波駆動をさせつつドレイン耐圧を確保するためには、動作電圧（電源電圧： V_{DD} ）を下げてドレイン接合にかかる負担を低減することが好ましい。そのためにはしきい値電圧を下げる必要が生じる。

【0146】従来は短チャンネル効果によるしきい値電圧の低下をチャンネルドープによって抑制していたが、本発明の T F Tの場合にはシリコン薄膜に生じる狭チャンネル効果によって相殺している。そのため、ゲイト絶縁膜の膜厚を薄くすることで容易にしきい値電圧の制御を行うことができる。

【0147】その場合、ゲイト絶縁膜の膜厚の制御は、マスクを使って選択的に積層する方法や、いわゆる LOCOS法の様にマスクを用いて選択的にシリコン薄膜を酸化する方法などを用いれば良い。

【0148】従って、チャンネル長（L）およびゲイト絶縁膜の膜厚（T）を必要な回路に応じて変化させることで所望の駆動周波数および動作電圧での動作を行わせることが可能となる。ただし、この様な本実施例の構成は実施例 1に示した本発明の T F Tだからこそ可能なのであって、従来の T F Tでは短チャンネル効果の影響を受けてしまって本構成を実施するのは極めて困難である。

【0149】また、適切な回路設計を行うためには、駆動周波数だけでなく必要とする動作電圧をも考慮しておくことが必要であるが、消費電力は動作電圧（ V_{DD} ）の 2乗に比例して増加するため、基本的に動作電圧は低いことが望ましい。

【0150】しかしながら、図 10（A）において画素マトリクス回路 11を構成する画素 T F Tは、液晶材料のしきい値電圧（TN材料で $\pm 5V$ ）と画素 T F T自身のしきい値電圧（マージンをみて $\pm 2\sim 3V$ ）を考慮するため、現状では 14～16V程度の動作電圧が必要となる。

【0151】従って、図 10（A）においては画素マトリクス回路 11、シフトレジスタ 13、16、D/Aコンバータ 14、バッファ 17、18等で 14～16V前後が必要となる。また、図 10（A）のブロック図には図示していないが、バッファの前にレベルシフタがあればその動作電圧も 14～16V前後とする。

【0152】以上の様に、現状の液晶表示装置では主に液晶材料の制約があつて画素マトリクス回路周辺は動作電圧が 14～16V程度であることが多い。そこで、本実施例では動作電圧 14～16V程度、駆動周波数 50MHzの性能を有する回路を構成する為に図 10（B）に示す様な CMOS構造を採用する。

【0153】図10(B)は図6(A)で説明したCMOS構造であり、ここでは構造についての詳細な説明を省略する。図10(B)において重要なのは、TFTのチャンネル長(L1)28及びゲイト絶縁膜の膜厚(T1)29である。なお、ここで言うチャンネル長とは、チャンネル形成領域の長さ、即ち実質的に電極として機能しうるゲイト電極の線幅に相当する。従って、チャンネル長にはオフセット領域やLDD領域等の長さは含まれない。

【0154】図10(B)の構造を利用すべき回路の場合、駆動周波数は50MHz程度であるため、本発明のTFTの場合、チャンネル長(L1)28は1.5~2.5(代表的には2 μ m)で十分である。また、動作電圧は14~16Vと高いのでゲイト絶縁膜の膜厚(T1)は1000~2000Å(代表的には1200Å)と少し厚めに形成することでドレイン耐圧を高める。

【0155】なお、図10(B)に示した様な10Vを超える高い動作電圧領域で駆動する必要のあるTFTを本発明者らは高耐圧駆動型TFT(または低周波駆動型TFT)と呼んでいる。高耐圧駆動型TFTはゲイト絶縁膜の膜厚を1000Å以上とすることが望ましい。

【0156】なお、本発明のTFTは16V駆動でも問題なく動作することが実験的に確かめられているが、トリプルゲイト型の画素TFTを利用したり、シフトレジスタ13、16、D/Aコンバータ14を9~10Vで駆動させるなど、TFTのドレイン耐圧に余裕を持たせる工夫を行うことは信頼性の向上や消費電力の低減に有効である。また、9~10Vで駆動させるTFTはゲイト絶縁膜の膜厚を700~1000Å(代表的には800Å)程度とすることで駆動周波数をより高めることもできる。

【0157】次に、水平走査用発振器12、垂直走査用発振器15、位相比較器19、電圧制御型発振器20、分周器21の場合についてであるが、これらの回路は0.1~0.5GHz程度の駆動周波数を必要とするため、図10(C)に示す様なCMOS構造を採用する。

【0158】図10(C)に示すCMOS構造の特徴は、図10(B)に示したCMOS構造よりもチャンネル長(L2)30が小さくなり、ゲイト絶縁膜の膜厚(T2)31が薄くなったことにある。即ち、デバイス寸法が全体的に図10(B)の構造よりも小さくなっている。

【0159】本発明のTFTの場合、0.1~0.5GHz程度の駆動周波数を実現するためにはチャンネル長(L2)30を0.5~1.0 μ m(代表的には0.7 μ m)のサブミクロン領域で形成すれば良い。また、前述の様に駆動周波数の向上に伴ってドレイン耐圧が問題となるので、ゲイト絶縁膜の膜厚(T2)31を400~600Å(代表的には500Å)とすることで動作電圧を5V程度まで下げられる。

【0160】次に、演算回路22およびメモリ回路23

は0.2~2GHz程度の極めて高い駆動周波数を必要とするため、図10(D)に示す様なCMOS構造を採用する。図10(D)に示すCMOS構造は、チャンネル長(L3)32がディープサブミクロン領域にまで微細化され、ゲイト絶縁膜の膜厚(T3)33も極めて薄くなる。

【0161】本発明のTFTの場合、0.2~2GHz程度の駆動周波数を実現するためにはチャンネル長(L3)32を0.1~0.5 μ m(代表的には0.35 μ m)とし、ゲイト絶縁膜の膜厚(T3)33を200~400Å(代表的には300Å)とすることで動作電圧を3.3Vにまで引き下げることができる。

【0162】なお、図10(C)、(D)に示した様な0.1GHz以上もの高い駆動周波数領域で駆動するTFTを本発明者らは高周波駆動型TFTと呼んでいる。高周波駆動型TFTはゲイト絶縁膜の膜厚を500Å以下とすることが望ましい。

【0163】以上の様に、必要に応じてTFTのチャンネル長(L)およびゲイト絶縁膜の膜厚(T)を異なるものとする事で回路が要求する最低限の周波数特性を実現することが可能となり、それによって様々なロジック回路を同一基板上に形成したシステム化されたアクティブマトリクスディスプレイを実現しうる。

【0164】また、駆動周波数を増加させると同時に動作電圧をも低減することが可能なため、非常に消費電力の低いアクティブマトリクスディスプレイを構成することも可能である。また、ロジック回路の様な電気回路を5V(または3.3V)で駆動することは、通常5V(または3.3V)で駆動されるICチップと組み合わせる必要がある場合において、信号の入・出力の互換性が良いという利点がある。

【0165】本実施例においては、チャンネル長(L)を0.1~2 μ mの範囲から適宜選択し、ゲイト絶縁膜の膜厚(T)を200~1500Åの範囲から適宜選択する例を示したが、本実施例に示した具体的な数値等は本発明の一実施例を示すものに過ぎず、これに限定されるものではない。

【0166】本実施例で重要な点は、同一基板上において高周波駆動型TFTと高耐圧駆動型TFTとが同時に存在しうることであって、その結果、画素マトリクス回路、ドライバー回路およびロジック回路を同一基板上に搭載したアクティブマトリクスディスプレイを実現できる点にある。

【0167】今後、デバイスサイズのさらなる微細化が進み、高速動作を必要とする回路が増加することは容易に予想できる。その時、本発明におけるチャンネル長(L)の選択範囲の下限は0.01 μ mかそれ以下となるであろうし、ゲイト絶縁膜の膜厚(T)の選択範囲の下限は50Åかそれ以下となると思われる。本発明者らは将来的に本発明のTFTによって2GHz以上の超高周波駆

動を行うロジック回路が形成される可能性をも想定しており、その様な場合においては本発明はさらに有効な技術となると考えている。

【0168】〔実施例4〕本実施例では本発明のTFTを利用した各種ロジック回路の回路構成について簡単な説明を行う。図1に示すアクティブマトリクスディスプレイを例にとって説明する前に、基本となるインバータ等の構成を図11を用いて説明する。

【0169】まず、図11(A)はインバータ回路であり、Pチャネル型TFT41及びNチャネル型TFT42とを相補的に組み合わせたCMOS構造で構成される。インバータ回路の回路記号は43の様に表される。

【0170】図11(B)はクロックドインバータであり、Pチャネル型TFT44、45及びNチャネル型TFT46、47とで構成される。この場合、Nチャネル型TFT46、47のゲイト電極にクロック信号CLが入力され、Pチャネル型TFT44、45のゲイト電極には反転したクロック信号CL'が入力される。クロックドインバータの回路記号は48の様に表される。また、Nチャネル型TFTとPチャネル型TFTに入力されるクロック信号を入れ換えると、図11(B)に示すクロックドインバータ44がオン状態の時にオフ状態となる様な逆極性のクロックドインバータとなる。

【0171】図11(C)に示す回路はアナログスイッチであり、インバータ49とNチャネル型TFT50及びPチャネル型TFT51とで構成され、Nチャネル型TFT50にはクロック信号CLが、Pチャネル型TFT51には反転したクロック信号CL'が入力される。アナログスイッチの回路記号は52の様に表される。このアナログスイッチは図11(B)に示されるクロックドインバータと同様の機能を有する。勿論、入力するクロック信号の極性を切り換えることで、アナログスイッチの極性(オン/オフ動作)を逆にすることができる。

【0172】図11(D)に示すのはNAND回路であり、Pチャネル型TFT53、54及びNチャネル型TFT55、56で構成される。NAND回路の回路記号は57の様に表される。また、図11(E)に示すのはNOR回路であり、Pチャネル型TFT58、59及びNチャネル型TFT60、61で構成される。NOR回路の回路記号は62の様に表される。図11(D)に示されるNAND回路は入力信号の論理積の反転信号を出力し、図11(E)に示されるNOR回路は入力信号の論理和の反転信号を出力する。

【0173】次に、図1のアクティブマトリクスディスプレイにおいて、ソース線ドライバー回路103に含まれる水平走査用シフトレジスタおよびラッチ回路の基本構造の一例について、図12を用いて簡単に説明する。勿論、シフトレジスタおよびラッチの構成はこれに限定されるものではなく、例えば、信号の進行方向を入れ換えても動作する双方向シフトレジスタを用いても構わな

い。

【0174】まず、図12(A)はシフトレジスタ回路を示している。シフトレジスタ回路は基本的に複数段のインバータ63、クロックドインバータ64、65の組み合わせが直列に連なって構成される。この時、インバータ63の構造は図11(A)、クロックドインバータ64の構造は図11(B)に示す様になっている。なお、クロックドインバータ65はクロックドインバータ64がオン状態にある時にオフ状態となる様に、反転したクロック信号が入力される。また、クロックドインバータ64の代わりに図11(C)に示す様なアナログスイッチを用いても構わない。

【0175】また、本実施例に示す構成ではN段目と(N+1)段目の出力信号を図11(D)に示される様なNAND回路66で論理積をとって出力する様な構成となっているため、①出力信号が重ならない(パルスエッジが急峻になる)、②実質的に2倍の駆動周波数で動作することができる、等の利点を得ることができる。

【0176】次に、シフトレジスタ回路から出力された信号aは、インバータ67を利用して信号aと反転された信号a'とに分けられて、図12(B)で示されるラッチ回路へと進む。そして、信号aと反転された信号a'は複数のビット信号線68毎に接続された1段目のラッチ69のクロック信号として入力される。なお、ビット信号線をN本とすれば N^2 階調の画像表示が可能である。

【0177】次に、2段目のラッチ70にクロック信号bおよびb'が入力すると、複数(N個)のラッチ69の保持していた信号が一斉にN個のラッチ70へと進む。そして、ラッチ70に進んだ信号はインバータ71を利用して信号c₁、d₁及び反転された信号c₁'、d₁'に分けられる。なお、ここでは線順次方式を例としているが、線順次方式でも基本的な動作は同様である。

【0178】こうしてラッチ回路から出力されたビット信号(c₁、d₁・・・及びc₁'、d₁'・・・)は図12(C)に示されるD/Aコンバータに進む。図12(C)に示されるD/Aコンバータにおいて、アナログスイッチ72(図11(C)参照)はビット信号線68の本数と同数、即ちN個が直列に接続される。そして、そのN個のアナログスイッチでなる列74がアナログ信号線73の本数と同数、即ち N^2 本だけ並列に並び、各々所定のアナログ信号線と接続している。

【0179】本実施例のD/Aコンバータは複数のアナログスイッチ72を組み合わせることで N^2 本のアナログ信号線73から選択的に階調信号を取り出す構成となっている。以下に動作原理を簡単に説明する。

【0180】まず、1st bit lineからのビット信号(c₁及びc₁')を例にとる。図12(B)のラッチ回路から送られたビット信号は、図12(C)において

最上段（１段目）に並ぶ N^2 個のアナログスイッチ全てに対してクロック信号として入力される。そして、 N^2 個のアナログスイッチのうちの幾つかがある規則性をもってオン状態となり、残りがオフ状態となる様に設計される。

【0181】以上の様にして、２段目のアナログスイッチも2nd bit line（ d 及び d' ）からのビット信号をクロック信号としてオン状態またはオフ状態となる。この時、オン／オフ状態は１段目とは異なる規則性をもつ様に設計される。

【0182】３段目以降も以上の様な設計がなされ、最終的には N^2 本だけ並んだ列74のいずれか１列のみは必ず N 個全てのアナログスイッチがオン状態となる様に設計される。この様にして N^2 本のアナログ信号線のうち、常に１本のアナログ信号線のみが選択される様に設計される。

【0183】次に、図1のアクティブマトリクスディスプレイに配置される位相比較器114、LPF（ローパスフィルタ）115、電圧制御型発振器116、分周器117の回路構成の一例を図13に示す。

【0184】図13（A）に示すのは位相比較器114であり、４つのNAND回路75（図11（D）参照）、２つのインバータ76（図11（A）参照）を組み合わせて構成される。また、LPF115は位相比較器114の出力端子に接続される抵抗77と容量78とで構成される。

【0185】図13（B）に示すのは電圧制御型発振器116であり、インバータ79、NNAD回路80、NOR回路81（図11（E）参照）、Pチャネル型TFT82及びNチャネル型TFT83を組み合わせて構成される。なお、84は定電流源を構成する回路である。

【0186】図13（C）に示すのは分周器117であり、T-F/F（トグルフリップフロップ）回路85を直列に接続して構成される。接続する個数はどの程度まで分周するかによって適宜設定すれば良い。なお、T-F/F回路85はクロックドインバータ86、87及びインバータ88でループを形成して構成する。クロックドインバータ86、87及びインバータ88については既に詳細に説明したので省略する。

【0187】以上、本実施例は図1のアクティブマトリクスディスプレイに組み込む回路構成について説明を行った。しかし、図11（A）～（B）に示した様な基本となる回路を組み合わせることで様々なロジック回路を構成することが可能であり、さらに複雑な回路構成を行うことができる。

【0188】【実施例5】本実施例では図8、図9を用いて説明したものと異なる作製工程でCMOS構造を形成する場合の例について説明する。なお、本実施例における説明は図14を用いてCMO構造のみに着目して行う。

【0189】まず、石英基板1401上に活性層1402、1403を形成する。そして、酸化珪素膜（後のゲイト絶縁膜）1404を形成した後、触媒元素のゲッタリングプロセス（ハロゲン元素を含む雰囲気における加熱処理）を行い、活性層1402、1403を本発明に利用するシリコン薄膜に変成させる。ここまでは、実施例1に示した工程に従って作製することができる。

【0190】次に、活性層1402、1403上にアルミニウムを主成分とする材料でなるパターン（図示せず）を形成し、その後、3%の酒石酸を含んだエチレングリコール溶液中で陽極酸化を行い、緻密な陽極酸化膜1405、1406を形成する。また、ここでゲイト電極1407、1408が画定する。

【0191】こうして図14（A）の状態が得られたら、次にこの状態で活性層1402、1403に対して一導電性を付与する不純物イオンの注入を行う。なお、このイオン注入工程はレジストマスクを利用してNチャネル型TFTにはPイオンを、Pチャネル型TFTにはBイオンを添加する様に行う。そして、このイオン注入工程によりN型不純物領域1409、1410、P型不純物領域1411、1412が形成される。

【0192】不純物イオンの注入が終了したら、窒化珪素膜1413を0.5～1 μ mの厚さに成膜する。成膜方法は減圧熱CVD法、プラズマCVD法、スパッタ法のいずれであっても良い。また、窒化珪素膜以外に酸化珪素膜を用いても良い。

【0193】こうして図14（B）の状態が得られる。図14（B）の状態が得られたら、次に窒化珪素膜1413をエッチバック法によりエッチングして、ゲイト電極1407、1408の側壁にのみに残存させる。この工程により、ゲイト電極1407、1408の側壁にはサイドウォール1414、1415が形成される。

【0194】次に、サイドウォール1414、1415及びゲイト電極1407、1408をマスクとしてドライエッチング法により酸化珪素膜1404をエッチングする。この工程により、図14（C）に示す様な状態でゲイト絶縁膜1416、1417が形成される。

【0195】そして、図14（C）に示す状態で再び不純物イオンの注入を行なう。このイオン注入工程も先程のイオン注入工程と同様にNチャネル型TFTとPチャネル型TFTとを打ち分ける。また、この時、ドーズ量は先程のイオン注入のドーズ量よりも高めとしておく。

【0196】このイオン注入の際、サイドウォール1414、1415直下の領域1418～1421はイオン注入が行なわれないので、不純物イオンの濃度に変化はない。しかし、露出した領域1422～1425はさらに高濃度の不純物イオンが注入されることになる。

【0197】以上の様な２度目のイオン注入を経て、Nチャネル型TFTのソース領域1422、ドレイン領域1423、低濃度不純物領域1418、1419、チャ

ネル形成領域 1426 及び P チャネル型 TFT のソース領域 1425、ドレイン領域 1424、低濃度不純物領域 1420、1421、チャネル形成領域 1427 が形成される。(図 14 (C))

【0198】以上の工程を経て図 14 (C) の状態が得られたら、300 Å の厚さの図示しないタングステン膜を成膜し、タングステン膜とシリコン膜(活性層)とを反応させる。そして、タングステン膜を除去した後、ランブアニール等による加熱処理を行なうことでソース領域 1422、1425 およびドレイン領域 1423、1424 の表面にタングステンシリサイド 1428 ~ 1431 を形成する。なお、この工程はタングステン膜の代わりにタンタル膜、チタン膜、モリブデン膜等を用いても良い。

【0199】次に、層間絶縁膜 1432 として酸化珪素膜を 5000 Å の厚さに成膜し、ソース線 1433、1434、ドレイン線 1435 を形成する。さらに、画素マトリクス回路を形成する過程で、第 2 の層間絶縁膜 1436、第 3 の層間絶縁膜 1437、第 4 の層間絶縁膜 1438 が形成される。こうして図 14 (D) に示す CMOS 構造を得る。

【0200】TFT を本実施例で示す様な構造(サリサイド構造)とすると、ソース/ドレイン電極がチタンシリサイド 1428 ~ 1431 を介してソース/ドレイン領域と接続するので良好なオーミックコンタクトを実現できる。従って、負荷が小さく駆動周波数の高い回路を構成することができる。

【0201】〔実施例 6〕本実施例では図 8、図 9、図 14 を用いて説明したものと異なる作製工程で CMOS 構造を形成する場合の例について説明する。説明は図 15 を用いる。

【0202】まず、実施例 1 に示した作製工程に従い、石英基板 1501 上に活性層 1502、1503、後にゲイト絶縁膜となる酸化珪素膜 15014 を形成する。そして、その上に一導電性を付与したシリコン薄膜でなるゲイト電極 1505、1506 を形成する。(図 15 (A))

【0203】図 15 (A) の状態が得られたら、次にこの状態で活性層 1502、1503 に対して一導電性を付与する不純物イオンの注入を行う。なお、イオン注入工程は P イオンと B イオンを選択的に添加して行う。そして、このイオン注入工程により N 型不純物領域 1507、1508、P 型不純物領域 1509、1510 が形成される。

【0204】不純物イオンの注入が終了したら、実施例 5 と同様の工程でまず窒化珪素膜 1511 を成膜し、その後エッチバック法を利用してサイドウォール 1512、1513 を形成する。そして、さらに実施例 5 と同様の工程で酸化珪素膜 1504 をエッチングし、ゲイト絶縁膜 1514、1515 を図 15 (C) に示す状態で

形成する。

【0205】そして、図 15 (C) に示す状態で再び不純物イオンの注入を行なう。このイオン注入工程も先程のイオン注入工程と同様に N チャネル型 TFT と P チャネル型 TFT とを打ち分ける。また、この時、ドーザ量は先程のイオン注入のドーザ量よりも高めとしておく。

【0206】こうして N チャネル型 TFT のソース領域 1516、ドレイン領域 1517、低濃度不純物領域 1518、1519、チャネル形成領域 1520 及び P チャネル型 TFT のソース領域 1521、ドレイン領域 1522、低濃度不純物領域 1523、1524、チャネル形成領域 1525 が形成される。

【0207】次に、実施例 5 に示した様なサリサイド工程を、チタン膜を用いて行う。その結果、ソース領域 1516、1522 およびドレイン領域 1517、1521、さらにはゲイト電極 1505、1506 の上面に、チタンシリサイド 1526 ~ 1531 が形成される。

【0208】次に、層間絶縁膜 1532 を成膜し、ソース線 1533、1534、ドレイン線 1535 を形成し、第 2 の層間絶縁膜 1536、第 3 の層間絶縁膜 1537、第 4 の層間絶縁膜 1538 を形成して図 15

(D) に示す CMOS 構造を得る。本実施例の場合も、チタシリサイドを介して配線と TFT の良好なオーミックコンタクトを実現できる。本実施例の利点は、ゲイト電極 1505、1506 の上にもチタンシリサイド 1530、1531 が形成されるので、ゲイト線にかかる負荷抵抗を低減することができる点である。

【0209】〔実施例 7〕本発明を実施するにあたって、実施例 1 の図 2 で説明したプロセスによって得られたシリコン薄膜が必要であることは既に述べた。本実施例では、実施例 1 とは異なる手段で結晶化したシリコン薄膜を本発明に用いる場合の例を示す。

【0210】図 2 において、図 2 (C) に示す状態(結晶化のための加熱処理が終了した段階)を得たら、マスクとなった酸化珪素膜 203 を除去する。酸化珪素膜 203 を除去したら、KrF (波長 248nm)、XeCl (波長 308nm) 等を励起ガスとして利用したエキシマレーザーによるアニールを行う。なお、このレーザーアニール工程はシリコン薄膜を島状パターンに加工する前でも後でもどちらで行っても構わない。

【0211】上記レーザーアニールによって、結晶シリコン薄膜に僅かに残存した非晶質成分の結晶化及び結晶シリコンの結晶性の著しい改善が行われる。この様にして得られたシリコン薄膜を用いても、本発明のアクティブマトリクスディスプレイを形成しうる。本実施例の利点は、アクティブマトリクスディスプレイのサブストレータ基板として安価なガラス基板を使用できる点である。即ち、製造コストの低減を図ることができる。

【0212】ただし、本発明を実施する上で最も望ましい形態は実施例 1 に示したシリコン薄膜を活用した TFT

Tを用いることであり、本実施例は基板としてガラス基板等の低耐熱性基板を使用する必要性が生じた場合にみに使用するのが好ましい。

【0213】また、実施例1に示した工程と本実施例の工程とを組み合わせても良い。即ち、レーザーアニール工程の後に触媒元素のゲッタリングプロセスを行う構成としても構わない。その場合、さらに高い結晶性のシリコン薄膜を形成しうる。

【0214】〔実施例8〕本実施例では特開平7-130652号公報記載の技術とは異なる手段で結晶化を助長する触媒元素を添加する例を示す。なお、本実施例は実施例1と実施例6のどちらの結晶化手段をとる場合においても有効である。

【0215】図16(A)において、1601は絶縁表面を有する基板（ガラス基板または石英基板）、1602は酸化珪素膜となる下地膜、1603は非晶質シリコン薄膜、1604はバフ層となる酸化珪素膜（窒化珪素膜や酸化窒化珪素膜でも構わない）である。

【0216】また、1605はレジストマスクであり、触媒元素を添加する領域のみを除去しておく。レジストマスクの露光はエキシマレーザーを用いた露光法や電子ビームを用いた露光法などを用いることが好ましい。

【0217】これらの露光法は極めて微細なパターン形成が可能となるので $0.01 \sim 1.0 \mu\text{m}$ （代表的には $0.1 \sim 0.35 \mu\text{m}$ ）のスリット幅で触媒元素の添加領域を形成することができる。また、電子ビーム等で直接レジストパターンを描画すれば、添加領域の形状の自由度も大幅に広がる。

【0218】そして、図16(A)の左の図に示す様に、非晶質シリコン薄膜1603中にイオンプロファイル1607のピーク値がくる様にイオンを添加する。そのため、シリコン薄膜1603中には所定の濃度（好ましくは $3 \times 10^{19} \sim 1.5 \times 10^{21} \text{atoms/cm}^3$ ）で触媒元素が添加された領域1606が形成される。なお、イオンの添加方法はイオン注入法（イオンプランテーション等）またはイオンドーピング法（プラズマドーピング等）によれば良いが、触媒元素のみを添加できるイオン注入法の方が好ましい。

【0219】また、本実施例ではバフ層1604で非晶質シリコン薄膜1603を覆い、バフ層1604を通過した触媒元素のみを利用する。そのため、次の様な効果を得ることができる。

(1) イオン添加によるダメージが非晶質シリコン薄膜1603に対して直接届かない。

(2) イオンプロファイル1607のピーク値付近のみを利用するので、触媒元素の添加量を再現性良く制御できる。

【0220】また、バフ層1604の膜厚は $100 \sim 1500 \text{\AA}$ （好ましくは $300 \sim 800 \text{\AA}$ ）とすることで再現性の良いイオンプロファイルが得られる。これ以下の膜厚

では殆どのイオンがバフ層を通過してしまいイオンプロファイルのピーク値付近のみを利用するのが困難となる。また、これ以上の膜厚では加速電圧をかなり高くする必要があるため装置の負担が大きくなる。

【0221】また、この膜厚はバフ層としてどのような絶縁膜を利用するかで最適値が変化する。例えば、酸化珪素膜よりも緻密な窒化珪素膜を用いることでバフ層の膜厚を薄くすることができる。

【0222】また、他の実施形態として、図16(B)に示す様な手段も可能である。図16(B)に示す例は、レジストマスクを使用しないで触媒元素イオンを直接的にシリコン薄膜1606中へと添加する方法であり、FIB(Focussed Ion Beam)法等の様に微細スポットのみにイオンを照射できる様な技術を利用することで実施しうる。

【0223】この実施形態では図16(B)に示す様に、集束イオンビーム1608によって直接的にパターンが描画され、所望の位置に所望の形状で触媒元素の添加領域1609を形成することができる。

【0224】以上の様に、本実施例によれば触媒元素の添加領域の幅を $0.01 \sim 1.0 \mu\text{m}$ （代表的には $0.1 \sim 0.35 \mu\text{m}$ ）の微細なものとすることができる。また、電子ビーム法やFIB法等を用いて直接的に添加領域を描画することもできる。以上の効果として、触媒元素を添加する領域の形状や位置をTFEの配置構成に合わせて自由に設計することができる。

【0225】〔実施例9〕本実施例では透過型表示装置の画素領域の構成を図7とは異なる構成とする場合の例を図17に示す。図17に示す構成において、1701、1702は活性層、1703、1704はソース線、1705、1706はゲート線、1707はソース線1706と活性層（ソース領域）1702とのコンタクト部、1708は接続配線1709と活性層（ドレイン領域）1702とのコンタクト部、1710は接続配線1709と画素電極1711とのコンタクト部である。

【0226】また、1712は補助容量であり、斜線で示されるブラックマスク1713と接続配線1709とが重畳する領域で形成される。また、ブラックマスク1713で遮光されない領域1714が画像表示領域となる。

【0227】本実施例の様な配置構成は、画素領域が縦長の長方形である場合において長手方向（紙面に向かって上または下に向かう方向）に補助容量1712を形成することができるので、十分な補助容量を確保する上で有効である。

【0228】〔実施例10〕本発明はあらゆる電気光学デバイスに対して適用可能であり、アクティブマトリクス型液晶表示装置、アクティブマトリクス型EL表示装置、アクティブマトリクス型EC表示装置などに適用す

ることができる。

【0229】また、これらの様なアクティブマトリクス型の表示装置には大別して透過型表示装置と反射型表示装置とがある。例えば、透過型液晶表示装置はアクティブマトリクス基板（TFTを配置する側の基板）の裏側にバックライトを配設し、表示装置を透過する光を見ることで画像を認識するものである。また、反射型液晶表示装置はアクティブマトリクス基板の表面側から入射した光をアクティブマトリクス基板に配置される画素電極で反射し、その反射光を見ることで画像を認識するものである。

【0230】透過型表示装置と反射型表示装置とでTFT構造に大きな差異がないが、画素電極を形成する材料が異なる点に特徴がある。例えば、透過型表示装置を作製する場合、図7における画素電極711（または図17における画素電極1711）としてITO等の透明電極を使用すれば良い。また、反射型表示装置とする場合には、画素電極711（または画素電極1711）として反射効率の高い不透明電極を使用すれば良い。

【0231】この様に、多少TFT構造を変化させれば、本発明は透過型表示装置にも反射型表示装置にも適用できる。特に、反射型表示装置は開口率を問題としないため、透過型表示装置に比べて設計自由度が広がるという利点を有する。例えば透過型液晶表示装置において画素領域は殆ど画像表示領域714（または画像表示領域1714）の様に光を透過する窓部分で構成されているが、反射型液晶表示装置の場合にはその様な画像表示領域の裏側に別の回路を形成することが可能であるため集積度をより高めることができる。

【0232】〔実施例11〕本発明をカラープロジェクション型液晶表示装置に適用した場合の例を図18

(A)に示す。図18(A)は1枚の液晶パネルを用いた単板式プロジェクターの一例であり、白色光源1801、UVフィルター（または熱線フィルター）1802、偏光板1803、1805、液晶パネル1804、投影レンズ1806で構成される。白色光源1801としては、ハロゲンランプ、メタルハライドランプまたは高輝度放電ランプなどを用いることができる。

【0233】また、液晶パネル1804は拡大図で示される様に、R（赤）に対応した画素領域1807、G（緑）に対応した画素領域1808、B（青）に対応した画素領域1809が形成されたアクティブマトリクス基板1810と、R（赤）に対応したカラーフィルター1811、G（緑）に対応したカラーフィルター1812、B（青）に対応したカラーフィルター1813が形成された対向基板1814との間に液晶層1815を挟持して構成される。

【0234】なお、上記構成以外にも様々な構成とすることができる。例えば、光源からの光をダイクロイックミラーでRGBに分光し、それぞれをマイクロレンズを

利用してRGBに対応する各画素領域に集光する方法を用いても良い。

【0235】また、図18(B)はRGBに対応した3枚の液晶パネルを用いた三板式プロジェクターの一例であり、白色光源1820、UVフィルター（または熱線フィルター）1821、全反射ミラー1822～1824、ダイクロイックミラー1825～1828、コンデンサレンズ1829～1831、Rに対応した液晶パネル1832、Gに対応した液晶パネル1833、Bに対応した液晶パネル1834、投影レンズ1835とで構成される。

【0236】なお、図18(A)、(B)で示したプロジェクション型液晶表示装置は全面投射型のデータプロジェクタとしても良いし、背面投射型のリア型プロジェクタTVとしても良い。

【0237】本発明のアクティブマトリクスディスプレイをプロジェクション型液晶表示装置として利用することで、信号処理回路等のロジック回路を液晶パネルに組み込んだ構成となるので装置の大幅な小型化、低価格化が実現できる。

【0238】〔実施例12〕本発明は実施例11に示したプロジェクション型液晶表示装置以外にも様々な電気光学デバイスに対して適用することが可能である。本実施例では、本発明を適用しうる電気光学デバイスの一例について図19を用いて説明する。

【0239】本発明を利用した電気光学デバイスの他の例としては（デジタル）ビデオカメラ、（デジタル）スチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。

【0240】図19(A)はモバイルコンピュータ（モバイルコンピュータ）であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本発明を表示装置2005に適用して表示コントロール回路や演算回路等を組み込むことでカード型モバイルコンピュータを実現しうる。

【0241】図19(B)はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。本発明を表示装置2102に適用することで大幅に装置の小型化が図れる。

【0242】図19(C)はカーナビゲーションシステムであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。カーナビゲーションシステムには衛星からの情報が送られるため、信号処理には非常に高い駆動周波数の回路が必要となる。本発明を表示装置2202に適用することでカーナビゲーションシステムのさらなる小型化、低価格化が可能となる。

【0243】図19(D)は携帯電話であり、本体23

01、音声出力部2302、音声入力部2303、表示装置2304、操作スイッチ2305、アンテナ2306で構成される。本発明を表示装置2304に適用することでデジタル対応の表示モニタを搭載できる。

【0244】図19(E)はビデオカメラであり、本体2401、表示装置2402、音声入力部2403、操作スイッチ2404、バッテリー2405、受像部2406で構成される。本発明を表示装置2402に適用することで装置構成が大幅に簡略化されるため、非常に小型な装置を実現しうる。

【0245】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。また、本発明を適用することでアクティブマトリクスディスプレイ自体に様々な機能を持たせることができるため、電気光学デバイスのサイズが極めて小さくなる。将来的にはあらゆる電気光学デバイスがカード化された携帯型電気光学デバイスとなりうる。

【0246】

【発明の効果】まず、本発明を実施する上で極めて重要な基本技術がもたらす効果について述べる。その基本技術とは、触媒元素を利用して結晶化した結晶シリコンに対してハロゲン元素による触媒元素のゲッタリングプロセスを施すことで、極めて特異な結晶構造体を有するシリコン薄膜を得るものである。

【0247】実施例1に示した様な作製工程で形成されるシリコン薄膜を用いたTFTは単結晶シリコンを用いたMOSFETに匹敵するサブスレッショルド係数を有し、高い電界効果移動度を有しているという特徴がある。また、棒状または偏平棒状結晶が複数集合してなる結晶構造体でなるシリコン薄膜は、それ自体に短チャネル効果を抑制する効果があり、TFTを微細化してもチャネルドープ法等に頼る必要がなく、高耐圧・高速動作特性を実現することができる。

【0248】この様な極めて高い性能、即ち駆動周波数域および動作電圧域の幅広いTFTを用いることで、高周波駆動型TFTと高耐圧駆動型TFTとを同一基板上に形成することが可能となる。

【0249】また、チャネルドープ法に頼ることなく短チャネル効果を抑制できるため、TFTのチャネル長(L)およびゲイト絶縁膜の膜厚(T)を変えるだけで動作性能の異なるTFTを実現できる。従って、回路が要求する特性に応じてチャネル長(L)およびゲイト絶縁膜の膜厚(T)を異なるものとする事で、真性または実質的に真性なチャネル形成領域を有するTFTを幅広い駆動周波数域および動作電圧域で利用することができる。

【0250】以上の様な効果を得られたことで、同一基板上に高周波駆動型TFTと高耐圧駆動型TFTとを混載したロジック回路、ドライバー回路および画素マトリクス回路を配置したロジック回路内蔵型アクティブマト

リクスディスプレイを実現することができる。

【0251】本発明のアクティブマトリクスディスプレイは画素マトリクス回路やドライバー回路以外に、表示コントロール回路、メモリ回路、究極的には演算回路をも含みうるロジック回路を搭載するため、極めて多機能性、携帯性に優れたシステムディスプレイとして機能する。また、高周波駆動回路は動作電圧が必要以上に大きくならない様に設計されるので、低消費電力性にも優れたものとなる。

10 【0252】さらに、その様なアクティブマトリクスディスプレイを、例えばプロジェクション型液晶表示装置の様な電気光学デバイスに適用することで、極めて小型かつ軽量で、安価な電気光学デバイスを提供することが可能である。

【図面の簡単な説明】

【図1】 アクティブマトリクスディスプレイのブロック図。

【図2】 シリコン薄膜の形成工程を示す図。

20 【図3】 シリコン薄膜の結晶構造を示すTEM写真。

【図4】 TFTの電気特性を示す図。

【図5】 TFTの構造を示す図。

【図6】 CMOS構造および画素領域の断面を示す図。

【図7】 上面から見た画素領域を示す図。

【図8】 CMOS構造および画素領域の作製工程を示す図。

【図9】 CMOS構造および画素領域の作製工程を示す図。

30 【図10】 回路の配置構成を説明するための図。

【図11】 基本的な回路を示す図。

【図12】 水平走査用ドライバー回路を説明するための図。

【図13】 ロジックを構成する回路を説明するための図。

【図14】 CMOS構造の作製工程を示す図。

【図15】 CMOS構造の作製工程を示す図。

【図16】 触媒元素の添加方法を説明するための図。

【図17】 上面から見た画素領域を示す図。

40 【図18】 プロジェクション型表示装置の構成を示す図。

【図19】 電気光学デバイスへの応用例を示す図。

【符号の説明】

101	基板
102	画素マトリクス回路
103	ソース線ドライバー回路
104	ゲイト線ドライバー回路
105	ロジック回路
106、107	ソース線
108、109	ゲイト線

- 45
- 1 1 0

画素領域
- 1 1 1

画素 T F T
- 1 1 2

液晶セル
- 1 1 3

補助容量
- 1 1 4

位相比較器
- 1 1 5

L P F
- 1 1 6

電圧制御型発振器
- 1 1 7

分周器

- 46
- 1 1 8

水平走査用発振器
- 1 1 9

垂直走査用発振器
- 1 2 0

D / A コンバータ
- 1 2 1

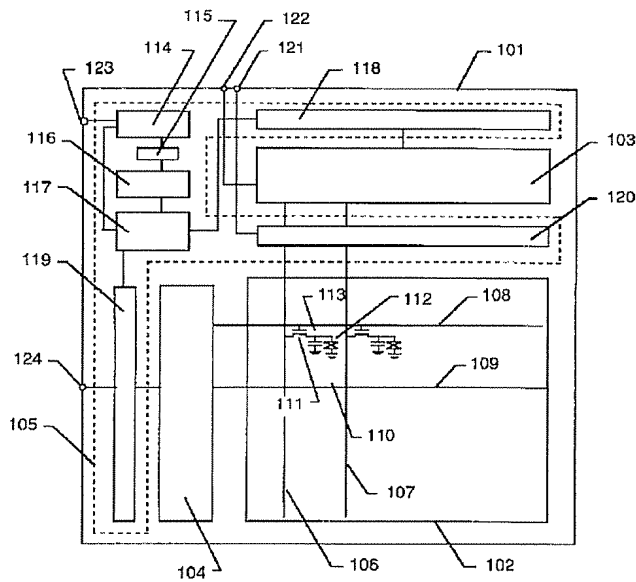
アナログ信号の入力端子
- 1 2 2

ビット信号の入力端子
- 1 2 3

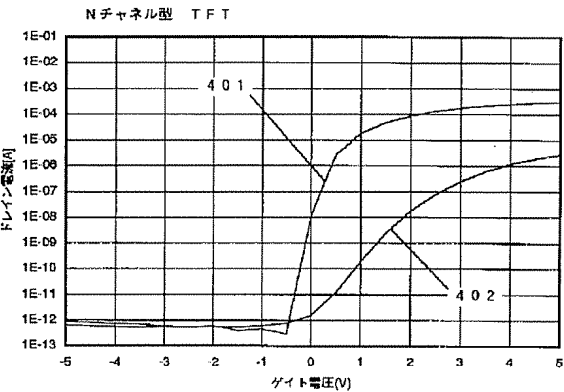
水平走査用同期信号の入力端子
- 1 2 4

垂直走査用同期信号の入力端子

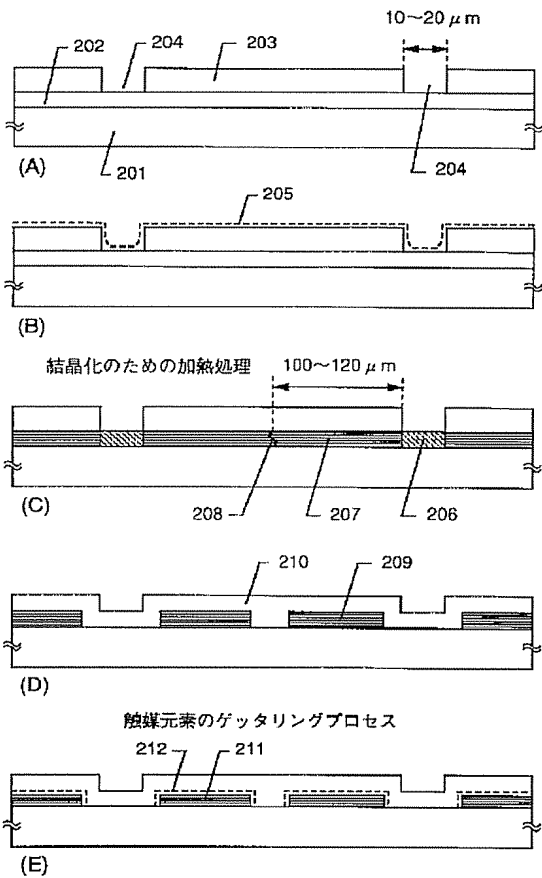
【図 1】



【図 4】



【図 2】

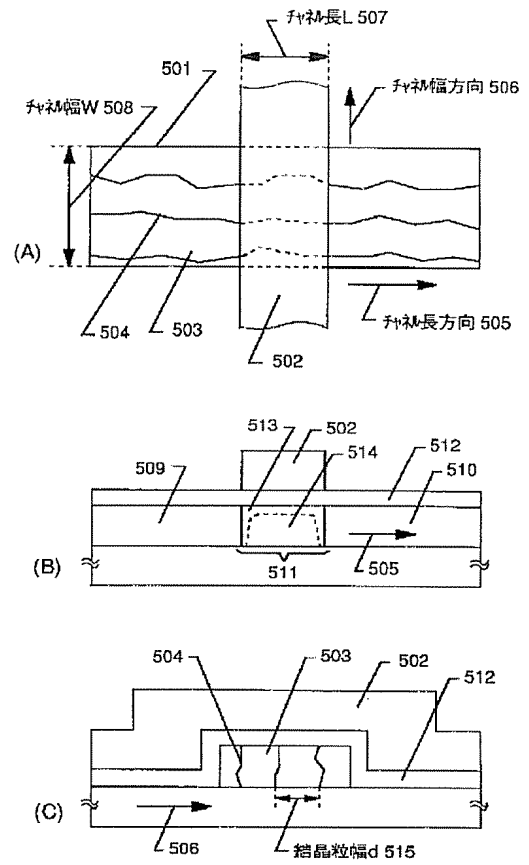


【図 3】

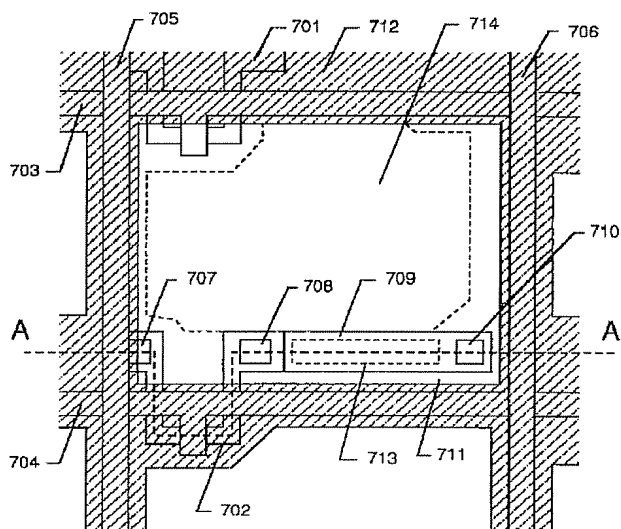
図面代用写真



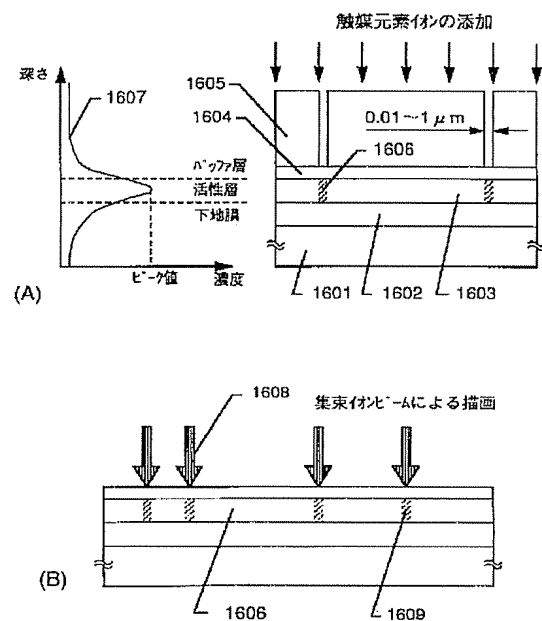
【図 5】



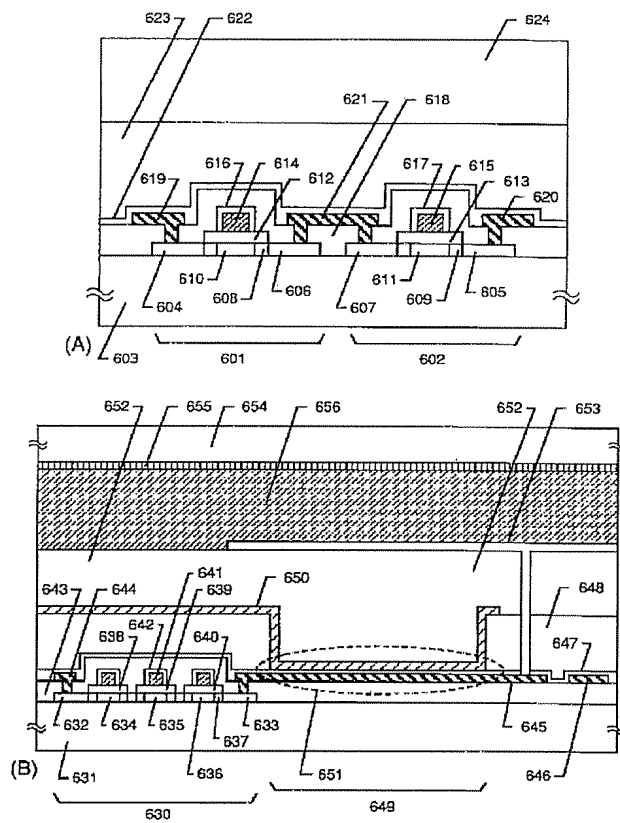
【図 7】



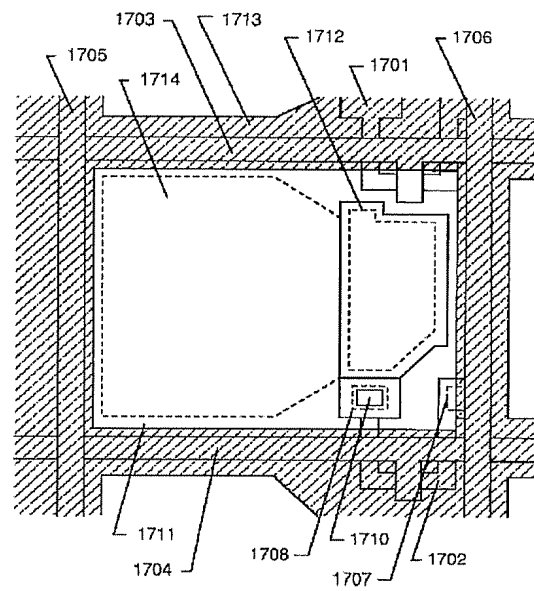
【図 16】



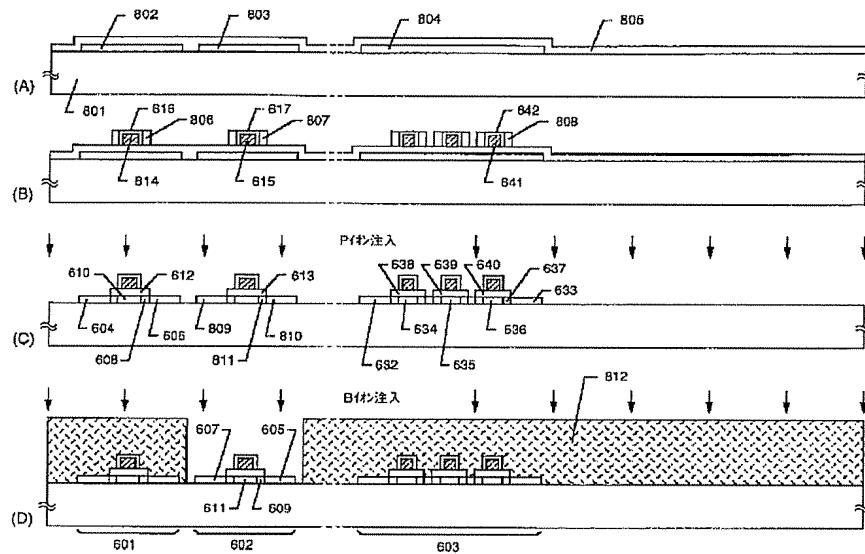
【図6】



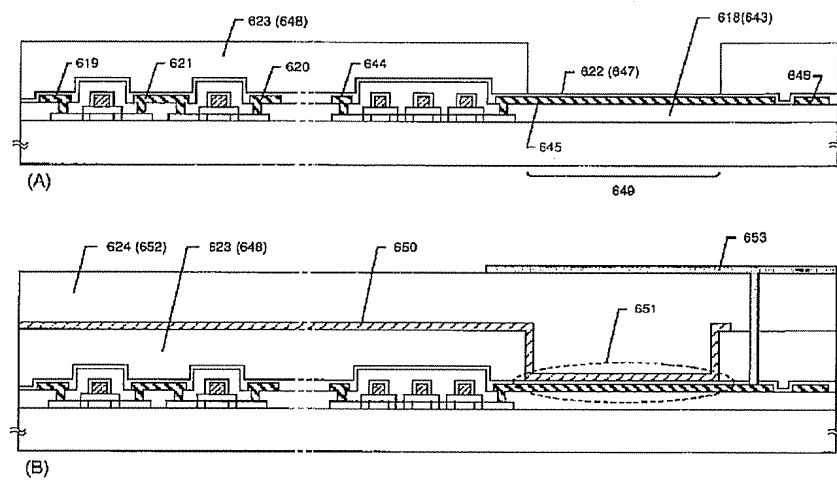
【図17】



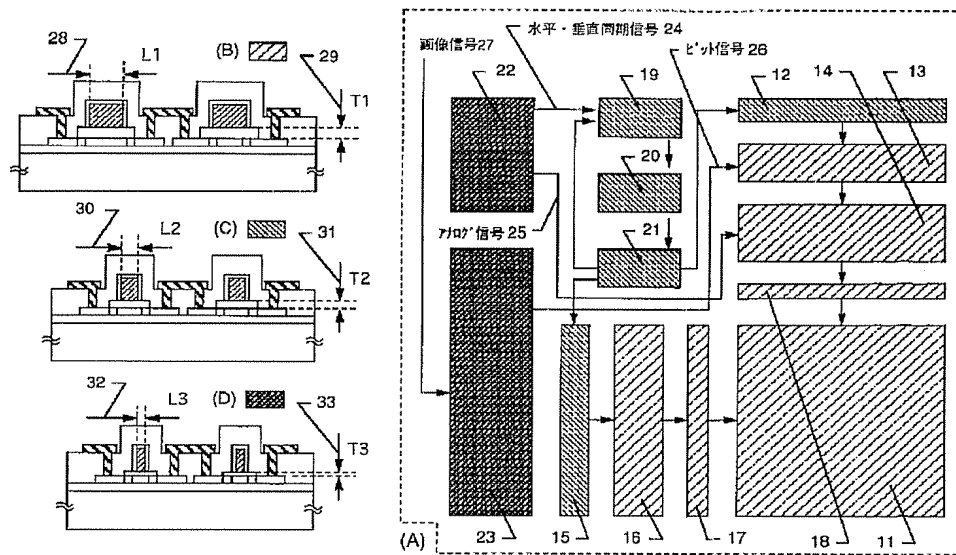
【図8】



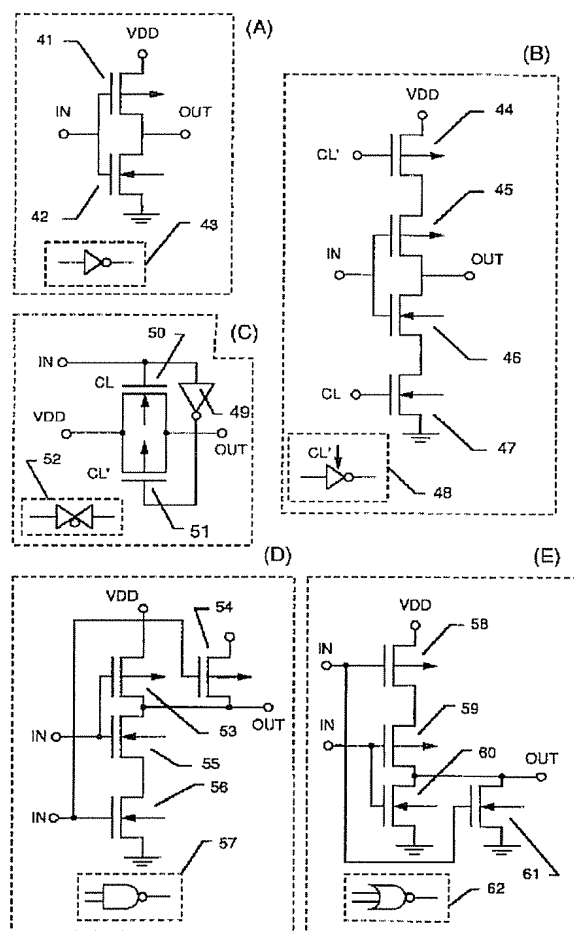
【図9】



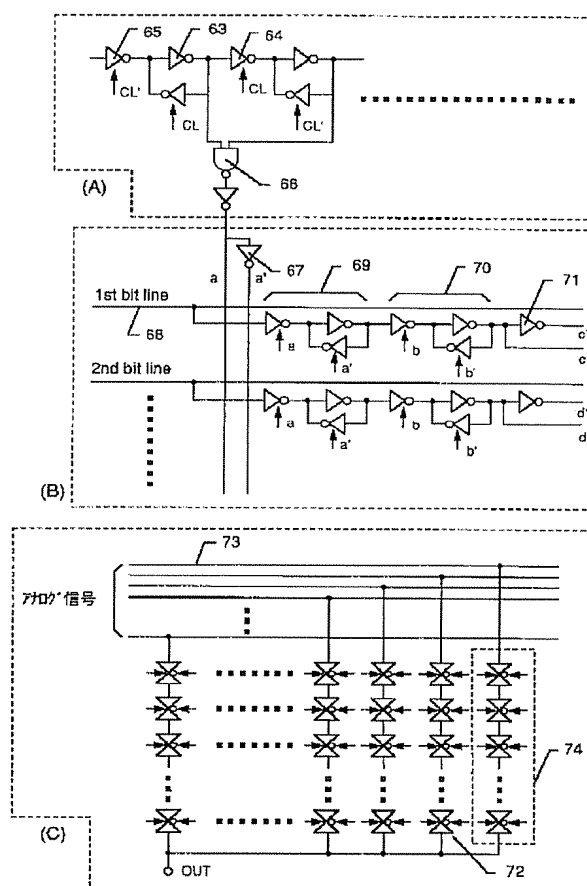
【図10】



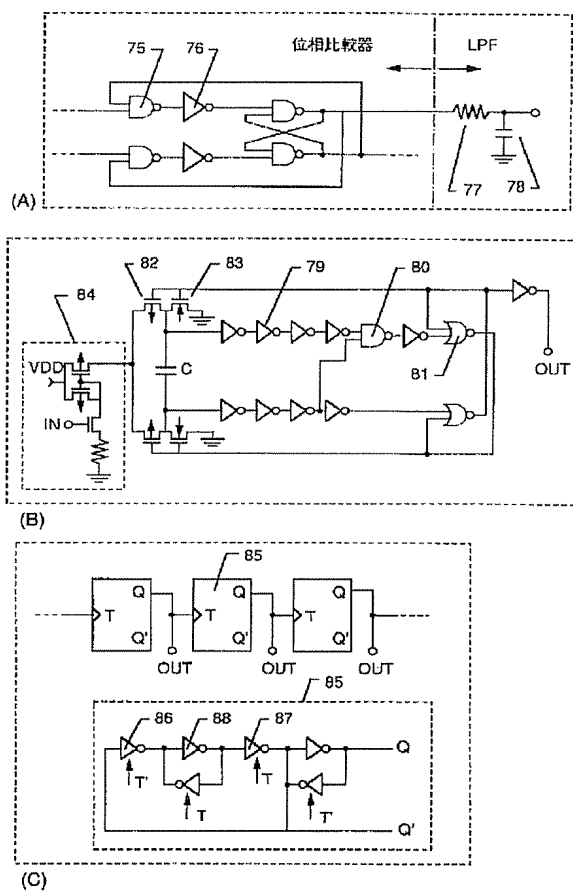
【図11】



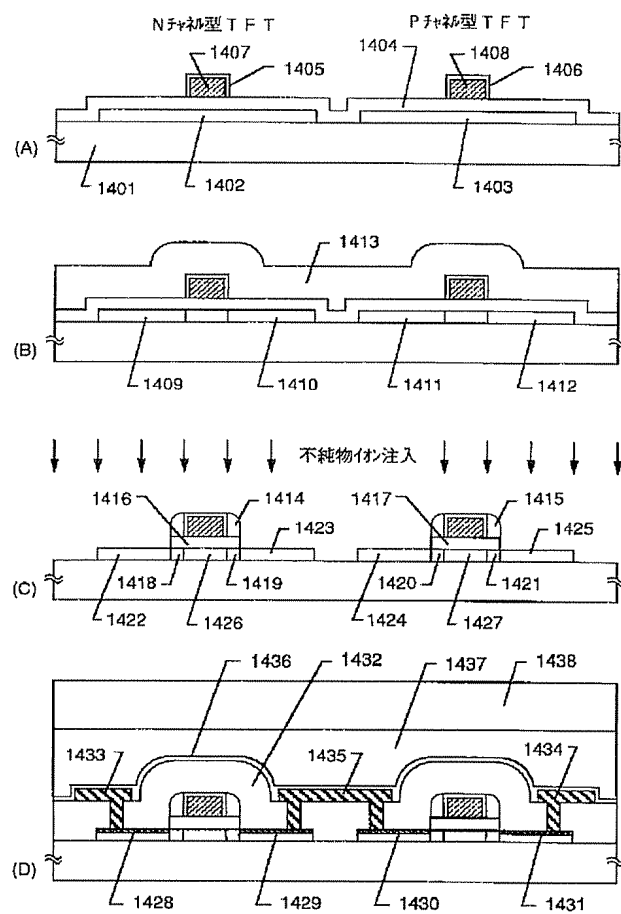
【図12】



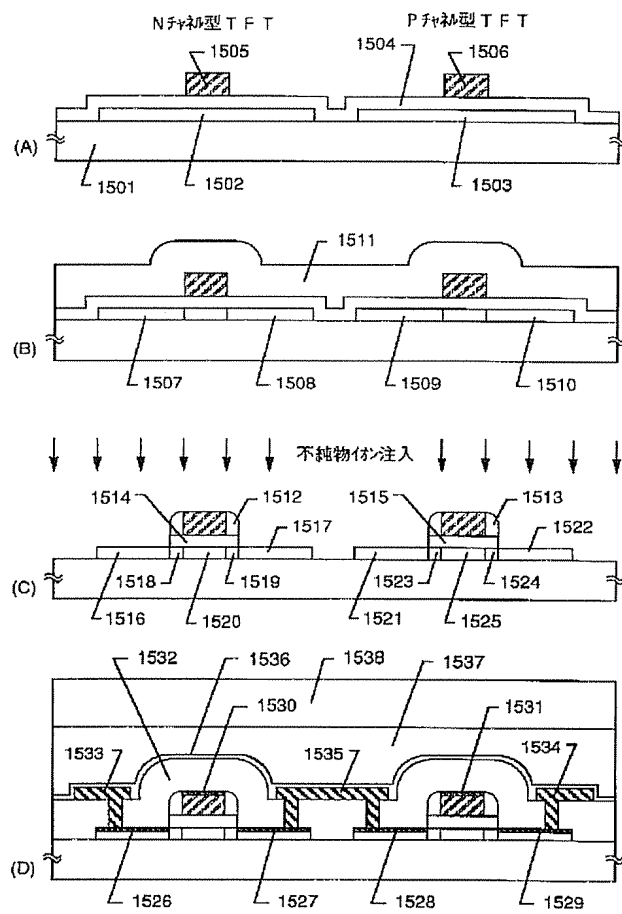
【図 13】



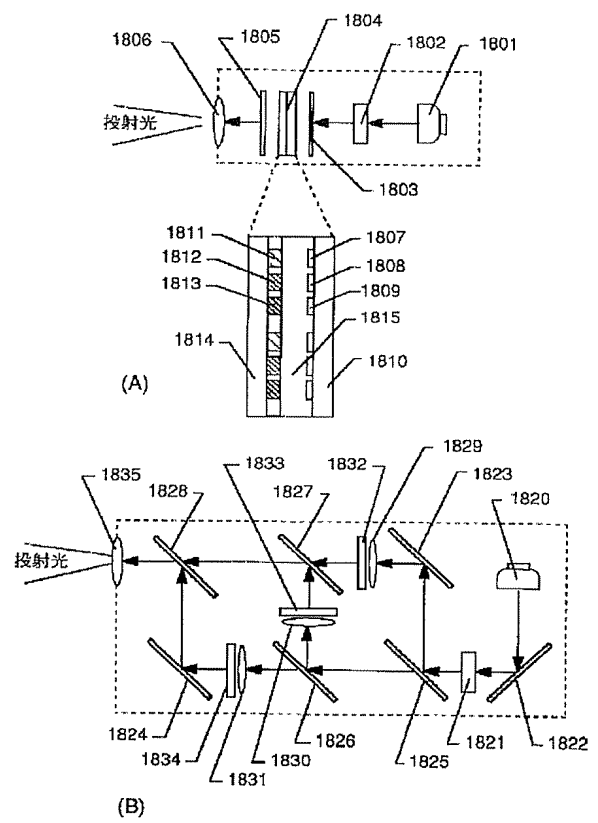
【図 14】



【図 1 5】



【図 1 8】



【図 19】

